

[First Hit](#) [Previous Doc](#) [Next Doc](#) [Go to Doc#](#)**End of Result Set**☐ [Generate Collection](#) [Print](#)

L2: Entry 1 of 2

File: JPAB

Dec 26, 2000

PUB-NO: JP02000357962A

DOCUMENT-IDENTIFIER: JP [2000357962](#) A

TITLE: SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE

PUBN-DATE: December 26, 2000

INVENTOR-INFORMATION:

NAME	COUNTRY
MIZUNO, HIROYUKI	
ISHIBASHI, KOICHIRO	
NARITA, SUSUMU	

ASSIGNEE-INFORMATION:

NAME	COUNTRY
HITACHI LTD	

APPL-NO: JP11255317

APPL-DATE: September 9, 1999

PRIORITY-DATA: 1998JP-4844 (September 9, 1998), 1999JP-8916 (April 16, 1999)

INT-CL (IPC): [H03 K 19/094](#); [H01 L 27/04](#); [H01 L 21/822](#); [H01 L 21/8238](#); [H01 L 27/092](#); [H03 K 19/00](#)

ABSTRACT:

PROBLEM TO BE SOLVED: To obtain a semiconductor circuit device with which saves power consumption.

SOLUTION: This device is provided with a first circuit to be controlled 100, consisting of at least one MOS transistor and a substrate bias control means 102 for generating substrate bias potential of the MOS transistor and is the one of permitting a comparatively large current to flow between the drain and the source of the MOS transistor, by arranging the means 102 to be a first state and for controlling a comparatively large current to be a smaller value between the drain and the source of the MOS transistor by arranging the means 102 to be a second state. In this case, the device is controlled in such a way that value of a substrate bias to be given to the first circuit to be controlled in the second state is a voltage value which is higher than that in the first state, concerning the substrate bias of a PMOS transistor and is the voltage value which is lower for the substrate bias of an NMOS transistor and that a power source voltage to be given to the first circuit to be controlled in the second state becomes smaller than that in the first state.

COPYRIGHT: (C)2000,JPO

[Previous Doc](#) [Next Doc](#) [Go to Doc#](#)

[First Hit](#) [Previous Doc](#) [Next Doc](#) [Go to Doc#](#)☐ [Generate Collection](#) [Print](#)

L2: Entry 2 of 2

File: DWPI

Aug 11, 2004

DERWENT-ACC-NO: 2000-197493

DERWENT-WEEK: 200476

COPYRIGHT 2005 DERWENT INFORMATION LTD

TITLE: Semiconductor apparatus for providing high speed switching operation with low power consumption

INVENTOR: ISHIBASHI, K; MIZUNO, H ; NARITA, S

PATENT-ASSIGNEE:

ASSIGNEE	CODE
HITACHI LTD	HITA
ISHIBASHI K	ISHII
MIZUNO H	MIZUI
NARITA S	NARII

PRIORITY-DATA: 1999JP-0108916 (April 16, 1999), 1998JP-0254844 (September 9, 1998)

[Search Selected](#)[Search ALL](#)[Clear](#)

PATENT-FAMILY:

PUB-NO	PUB-DATE	LANGUAGE	PAGES	MAIN-IPC
<input type="checkbox"/> CN 1519906 A	August 11, 2004		000	H01L021/66
<input type="checkbox"/> EP 986177 A2	March 15, 2000	E	037	H03K019/00
<input type="checkbox"/> CN 1253379 A	May 17, 2000		000	H01L027/092
<input type="checkbox"/> JP 2000357962 A	December 26, 2000		022	H03K019/094
<input type="checkbox"/> KR 2000022921 A	April 25, 2000		000	G11C005/14
<input type="checkbox"/> US 20020044007 A1	April 18, 2002		000	H03K003/01
<input type="checkbox"/> US 6380798 B1	April 30, 2002		000	H03K003/01
<input type="checkbox"/> SG 87829 A1	April 16, 2002		000	H03K019/00
<input type="checkbox"/> TW 453032 A	September 1, 2001		000	H03K019/00
<input type="checkbox"/> US 6630857 B2	October 7, 2003		000	H03K003/01
<input type="checkbox"/> US 20040012397 A1	January 22, 2004		000	G01R031/08

DESIGNATED-STATES: AL AT BE CH CY DE DK ES FI FR GB GR IE IT LI LT LU LV MC MK NL PT RO SE SI

APPLICATION-DATA:

PUB-NO	APPL-DATE	APPL-NO	DESCRIPTOR
CN 1519906A	September 9, 1999	1999CN-0118577	Div ex
CN 1519906A	September 9, 1999	2004CN-0004963	
EP 986177A2	September 6, 1999	1999EP-0117563	
CN 1253379A	September 9, 1999	1999CN-0118577	

JP2000357962A	September 9, 1999	1999JP-0255317	
KR2000022921A	September 4, 1999	1999KR-0037560	
US20020044007A1	September 7, 1999	1999US-0390962	Div ex
US20020044007A1	December 21, 2001	2001US-0024039	
US 6380798B1	September 7, 1999	1999US-0390962	
SG 87829A1	September 8, 1999	1999SG-0004392	
TW 453032A	August 18, 1999	1999TW-0114125	
US 6630857B2	September 7, 1999	1999US-0390962	Div ex
US 6630857B2	December 21, 2001	2001US-0024039	
US 6630857B2		US 6380798	Div ex
US20040012397A1	September 7, 1999	1999US-0390962	Div ex
US20040012397A1	December 21, 2001	2001US-0024039	Cont of
US20040012397A1	July 16, 2003	2003US-0619601	
US20040012397A1		US 6380798	Div ex
US20040012397A1		US 6630857	Cont of

INT-CL (IPC): G01 R 31/08; G11 C 5/14; H01 L 21/66; H01 L 21/82; H01 L 21/822; H01 L 21/8238; H01 L 27/04; H01 L 27/092 ; H03 K 3/01; H03 K 19/00; H03 K 19/094

ABSTRACTED-PUB-NO: EP 986177A

BASIC-ABSTRACT:

NOVELTY - The circuit (100) includes a PMOS transistor and an NMOS transistor. A power supply control circuit (101) supplies a power supply voltage (Vdd,Vss) to the transistors. A substrate bias control circuit (102) supplies a substrate bias voltage (Vbp, Vbn) to the transistors.

DETAILED DESCRIPTION - In a first mode, the substrate bias control circuit provides the substrate bias voltage to the transistors, and the power supply voltage control circuit provides a first power supply voltage (Vdd) and a second lower supply voltage (Vss) to the transistors.

In a second mode, the substrate bias voltage provided to the PMOS transistor is regulated to a voltage higher than that provided in the first mode. The bias voltage supplied to the NMOS transistor is regulated to a voltage lower than the bias supplied to the NMOS transistor in the first mode. The power supply voltage control circuit regulates the first power supply voltage to a value lower than the voltage supplied in the first mode. The gate oxide thicknesses of the transistors are not more than 5 nm.

USE - For high speed switching.

ADVANTAGE - Provides reduced power consumption by judicious use of biasing.

DESCRIPTION OF DRAWING(S) - The figure shows a block schematic circuit diagram of the arrangement.

Switching circuit apparatus 100

Supply voltage control 101

Substrate bias control 102

ABSTRACTED-PUB-NO:

US 6380798B

EQUIVALENT-ABSTRACTS:

NOVELTY - The circuit (100) includes a PMOS transistor and an NMOS transistor. A power supply control circuit (101) supplies a power supply voltage (Vdd,Vss) to the transistors. A substrate bias control circuit (102) supplies a substrate bias voltage (Vbp, Vbn) to the transistors.

DETAILED DESCRIPTION - In a first mode, the substrate bias control circuit provides the substrate bias voltage to the transistors, and the power supply voltage control circuit provides a first power supply voltage (Vdd) and a second lower supply voltage (Vss) to the transistors.

In a second mode, the substrate bias voltage provided to the PMOS transistor is regulated to a voltage higher than that provided in the first mode. The bias voltage supplied to the NMOS transistor is regulated to a voltage lower than the bias supplied to the NMOS transistor in the first mode. The power supply voltage control circuit regulates the first power supply voltage to a value lower than the voltage supplied in the first mode. The gate oxide thicknesses of the transistors are not more than 5 nm.

USE - For high speed switching.

ADVANTAGE - Provides reduced power consumption by judicious use of biasing.

DESCRIPTION OF DRAWING(S) - The figure shows a block schematic circuit diagram of the arrangement.

Switching circuit apparatus 100

Supply voltage control 101

Substrate bias control 102

US20020044007A

NOVELTY - The circuit (100) includes a PMOS transistor and an NMOS transistor. A power supply control circuit (101) supplies a power supply voltage (Vdd,Vss) to the transistors. A substrate bias control circuit (102) supplies a substrate bias voltage (Vbp, Vbn) to the transistors.

DETAILED DESCRIPTION - In a first mode, the substrate bias control circuit provides the substrate bias voltage to the transistors, and the power supply voltage control circuit provides a first power supply voltage (Vdd) and a second lower supply voltage (Vss) to the transistors.

In a second mode, the substrate bias voltage provided to the PMOS transistor is regulated to a voltage higher than that provided in the first mode. The bias voltage supplied to the NMOS transistor is regulated to a voltage lower than the bias supplied to the NMOS transistor in the first mode. The power supply voltage control circuit regulates the first power supply voltage to a value lower than the voltage supplied in the first mode. The gate oxide thicknesses of the transistors are not more than 5 nm.

USE - For high speed switching.

ADVANTAGE - Provides reduced power consumption by judicious use of biasing.

DESCRIPTION OF DRAWING(S) - The figure shows a block schematic circuit diagram of the arrangement.

Switching circuit apparatus 100

Supply voltage control 101

Substrate bias control 102

CHOSEN-DRAWING: Dwg.1a/19

TITLE-TERMS: SEMICONDUCTOR APPARATUS HIGH SPEED SWITCH OPERATE LOW POWER CONSUME

DERWENT-CLASS: U21

EPI-CODES: U21-C; U21-C01B; U21-C03A1;

SECONDARY-ACC-NO:

Non-CPI Secondary Accession Numbers: N2000-146407

[Previous Doc](#)

[Next Doc](#)

[Go to Doc#](#)

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-357962

(P2000-357962A)

(43) 公開日 平成12年12月26日 (2000. 12. 26)

(51) Int. Cl. ⁷	識別記号	F I	キーワード (参考)
H 0 3 K 19/094		H 0 3 K 19/094	D 5 F 0 3 8
H 0 1 L 27/04		19/00	A 5 F 0 4 8
21/822		H 0 1 L 27/04	T 5 J 0 5 6
21/8238		27/08	3 2 1 L
27/092			

審査請求 未請求 請求項の数53 O L (全 22 頁) 最終頁に続く

(21) 出願番号 特願平11-255317

(22) 出願日 平成11年9月9日 (1999. 9. 9)

(31) 優先権主張番号 特願平10-254844

(32) 優先日 平成10年9月9日 (1998. 9. 9)

(33) 優先権主張国 日本 (J P)

(31) 優先権主張番号 特願平11-108916

(32) 優先日 平成11年4月16日 (1999. 4. 16)

(33) 優先権主張国 日本 (J P)

(71) 出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72) 発明者 水野 弘之

東京都国分寺市東壺ヶ窪一丁目280番地

株式会社日立製作所中央研究所内

(72) 発明者 石橋 孝一郎

東京都国分寺市東壺ヶ窪一丁目280番地

株式会社日立製作所中央研究所内

(74) 代理人 100075096

弁理士 作田 康夫

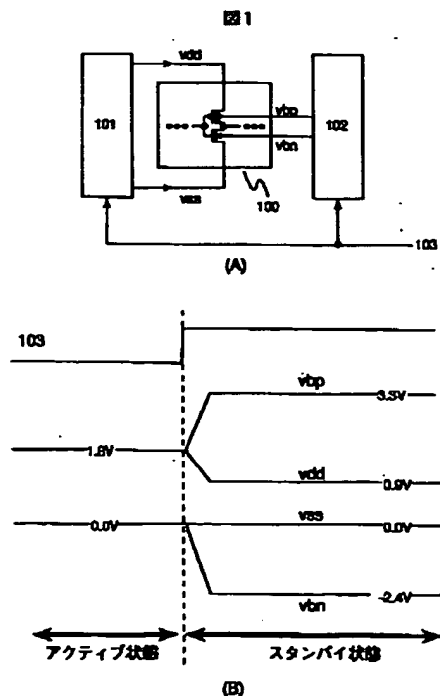
最終頁に続く

(54) 【発明の名称】 半導体集積回路装置

(57) 【要約】

【課題】 消費電力を低減した半導体回路装置を提供する。

【解決手段】 上記の課題を解決するために行った主な手段は、少なくとも一つのMOSトランジスタからなる第1の被制御回路100と、MOSトランジスタの基板バイアス電位を発生する基板バイアス制御手段102を具備し、基板バイアス制御手段102を第1の状態に設置することにより、MOSトランジスタのドレイン・ソース間に比較的大きな電流が流れることを許容し、基板バイアス制御手段を第2の状態に設置することにより、MOSトランジスタのドレイン・ソース間に上記比較的大きな電流をより小さな値に制御する半導体集積回路装置において、第2の状態の時に第1の被制御回路に与える基板バイアスの値が第1の状態の時よりも、PMOSトランジスタの基板バイアスについては高い電圧値であり、NMOSトランジスタの基板バイアスについては低い電圧値であり、第2の状態の時に第1の被制御回路に与える電源電圧が該第1の状態の時よりも小さくなるように制御する。



【特許請求の範囲】

【請求項1】PMOSTランジスタとNMOSTランジスタを含む回路と、

上記PMOSTランジスタと上記NMOSTランジスタとに電源電圧を供給する電源電圧制御回路と、

上記PMOSTランジスタと上記NMOSTランジスタとに基板バイアス電圧を供給する基板バイアス制御回路とを備え、

上記PMOSTランジスタ及び上記NMOSTランジスタのゲート酸化膜厚はそれぞれ5nm以下であって、

第1の状態において、上記基板バイアス制御回路は上記PMOSTランジスタと上記NMOSTランジスタとにそれぞれ基板バイアス電圧を供給し、上記電源電圧制御回路は第1の電源電圧と上記第1の電源電圧の電圧値よりも低電位である第2の電源電圧とを供給し、

第2の状態において、上記基板バイアス制御回路は、上記PMOSTランジスタに供給する基板バイアス電圧を上記第1の状態において上記PMOSTランジスタに供給される基板バイアス値よりも高電位に、上記NMOSTランジスタに供給する基板バイアス電圧を上記第1の状態において上記NMOSTランジスタに供給される基板バイアス値よりも低電位に制御し、上記電源電圧制御回路は上記第1の電源電圧の電圧値を上記第1の状態において供給される電圧値より低電位に制御することを特徴とする半導体装置。

【請求項2】請求項1記載の半導体装置において、上記第2の状態において、上記電源電圧制御回路は、上記第1の状態における上記第2の電源電圧の電圧値を維持することを特徴とする半導体装置。

【請求項3】PMOSTランジスタとNMOSTランジスタを含む回路と、

上記PMOSTランジスタと上記NMOSTランジスタとに電源電圧を供給する電源電圧制御回路と、

上記PMOSTランジスタと上記NMOSTランジスタとに基板バイアス電圧を供給する基板バイアス制御回路とを備え、

第1の状態において、上記基板バイアス制御回路は上記PMOSTランジスタと上記NMOSTランジスタとにそれぞれ基板バイアス電圧を供給し、上記電源電圧制御回路は第1の電源電圧と上記第1の電源電圧の電圧値よりも低電位である第2の電源電圧とを供給し、

第2の状態において、上記基板バイアス制御回路は、上記PMOSTランジスタに供給する基板バイアス電圧を上記第1の状態において上記PMOSTランジスタに供給される基板バイアス値よりも高電位に、上記NMOSTランジスタに供給する基板バイアス電圧を上記第1の状態において上記NMOSTランジスタに供給される基板バイアス値よりも低電位に制御して上記PMOSTランジスタ及び上記NMOSTランジスタのサブスレッショルドリーク電流を低減するとともに、上記電源電圧制

御回路は上記第1の電源電圧の電圧値を上記第1の状態において供給される電圧値より低電位に制御することによりDIBL効果により上記サブスレッショルドリーク電流をさらに低減させることを特徴とする半導体装置。

【請求項4】請求項3記載の半導体装置において、上記第2の状態において、上記電源電圧制御回路は上記第1の電源電圧の電圧値を上記第1の状態において供給される電圧値より低電位に制御することにより接合リーク電流を低減させることを特徴とする半導体装置。

10 【請求項5】PMOSTランジスタとNMOSTランジスタを含む回路と、

上記PMOSTランジスタと上記NMOSTランジスタとに電源電圧を供給する電源電圧制御回路と、

上記PMOSTランジスタと上記NMOSTランジスタとに基板バイアス電圧を供給する基板バイアス制御回路とを備え、

第1の状態において、上記基板バイアス制御回路は上記PMOSTランジスタと上記NMOSTランジスタとにそれぞれ基板バイアス電圧を供給し、上記電源電圧制御回路は第1の電源電圧と上記第1の電源電圧の電圧値よりも低電位である第2の電源電圧とを供給し、

第2の状態において、上記基板バイアス制御回路は、上記PMOSTランジスタに供給する基板バイアス電圧を上記第1の状態において上記PMOSTランジスタに供給される基板バイアス値よりも高電位に、上記NMOSTランジスタに供給する基板バイアス電圧を上記第1の状態において上記NMOSTランジスタに供給される基板バイアス値よりも低電位に制御し、

第3の状態において、上記基板バイアス制御回路は上記第2の状態において上記PMOSTランジスタと上記NMOSTランジスタとに供給される基板バイアス値を維持し、上記電源電圧制御回路は上記第1の電源電圧の電圧値を上記第1の状態において供給される電圧値より低電位に制御することを特徴とする半導体装置。

【請求項6】請求項5記載の半導体装置において、上記電源電圧制御回路は、第1の電池から供給される電圧をレベル変換するレベル変換回路を含む第1のバスと、上記第1のバスと並列接続され上記第1の電池から供給される電圧を所定の電位まで電圧効果させるダイオードを含む第2のバスとを有し、

上記レベル変換回路の動作/非動作により、その供給する上記第1の電源電圧の電圧値を制御することを特徴とする半導体装置。

【請求項7】請求項5記載の半導体装置において、上記電源電圧制御回路は、第1の電池から供給される電圧と第2の電池から供給される電圧とを切り換えるセレクトクを有し、

上記セレクトクの切換により、その供給する上記第1の電源電圧の電圧値を制御することを特徴とする半導体装置。

【請求項8】PMOSTランジスタとNMOSTランジスタを含む回路と、

上記PMOSTランジスタと上記NMOSTランジスタとに電源電圧を供給する電源電圧制御回路と、

上記PMOSTランジスタと上記NMOSTランジスタとに基板バイアス電圧を供給する基板バイアス制御回路とを備え、

第1の状態において、上記基板バイアス制御回路は上記PMOSTランジスタと上記NMOSTランジスタとにそれぞれ基板バイアス電圧を供給し、上記電源電圧制御回路は第1の電源電圧と上記第1の電源電圧の電圧値よりも低電位である第2の電源電圧とを供給し、

第2の状態において、上記基板バイアス制御回路は、上記PMOSTランジスタに供給する基板バイアス電圧を上記第1の状態において上記PMOSTランジスタに供給される基板バイアス値よりも高電位に、上記NMOSTランジスタに供給する基板バイアス電圧を上記第1の状態において上記NMOSTランジスタに供給される基板バイアス値よりも低電位に制御し、

第3の状態において、上記基板バイアス制御回路は上記NMOSTランジスタに供給する基板バイアス電圧を上記第2の状態において上記NMOSTランジスタに供給される基板バイアス値よりも低電位に制御し、上記電源電圧制御回路は上記第1の電源電圧の電圧値を上記第1の状態において供給される電圧値より低電位に制御することを特徴とする半導体装置。

【請求項9】請求項8記載の半導体装置において、上記第2の状態から第3の状態に移移するときに、上記NMOSTランジスタに供給される基板バイアス値の変化量は上記第1の電源電圧の電圧値の変化量以下であることを特徴とする半導体装置。

【請求項10】請求項7または8記載の半導体装置において、

上記電源電圧制御回路は、第1の電池から供給される電圧をレベル変換するレベル変換回路を含む第1のバスと、上記第1のバスと並列接続され上記第1の電池から供給される電圧を所定の電位まで電圧効果させるダイオードを含む第2のバスとを有し、

上記レベル変換回路の動作/非動作により、その供給する上記第1の電源電圧の電圧値を制御することを特徴とする半導体装置。

【請求項11】請求項7または8記載の半導体装置において、

上記電源電圧制御回路は、第1の電池から供給される電圧と第2の電池から供給される電圧とを切り換えるセレクトを有し、

上記セレクトの切換により、その供給する上記第1の電源電圧の電圧値を制御することを特徴とする半導体装置。

【請求項12】第1の電源電圧と上記第1の電源電圧の

電圧値よりも低電位である第2の電源電圧が供給される第1の回路と、

上記第1の電源電圧の電圧値よりも高電位である第3の電源電圧と上記第3の電源電圧よりも低電位である第4の電源電圧が供給される第2の回路と、

上記第1の回路に含まれるPMOSTランジスタ及びNMOSTランジスタとに供給する基板バイアス電圧を制御する基板バイアス制御回路とを備え、

第1の状態において、上記基板バイアス制御回路は上記PMOSTランジスタと上記NMOSTランジスタとにそれぞれ基板バイアス電圧を供給し、

第2の状態において、上記基板バイアス制御回路は、上記PMOSTランジスタに供給する基板バイアス電圧を上記第1の状態において上記PMOSTランジスタに供給される基板バイアス値よりも高電位に、上記NMOSTランジスタに供給する基板バイアス電圧を上記第1の状態において上記NMOSTランジスタに供給される基板バイアス値よりも低電位に制御し、

上記第2の状態において、上記第1の回路に供給される上記第1の電源電圧は、上記第1の状態における電圧値よりも低電圧に制御され、上記第2の回路に供給される上記第3の電源電圧は、上記第1の状態における電圧値で維持されることを特徴とする半導体装置。

【請求項13】請求項12記載の半導体装置において、上記第2の回路には入出力回路が含まれることを特徴とする半導体装置。

【請求項14】請求項12または請求項13記載の半導体装置において、

上記第1の回路、上記第2の回路及び上記基板バイアス制御回路に電源電圧を供給する電源電圧制御回路を有することを特徴とする半導体装置。

【請求項15】請求項12乃至14のいずれかに記載の半導体装置において、

上記電源電圧制御回路は、上記第3の電源電圧の電圧値を上記第2の回路及び上記基板バイアス制御回路に供給し、

上記基板バイアス制御回路は、上記第2の状態において、上記第3の電源電圧の電圧値を基板バイアス値とする基板バイアス電圧を上記PMOSTランジスタに供給することを特徴とする半導体装置。

【請求項16】請求項12乃至15のいずれかに記載の半導体装置において、

上記電源電圧制御回路は、PMOSTランジスタとオペアンプと基準電圧発生回路を含む電源電圧発生手段がさらに具備されており、

上記第2の状態において、上記電源電圧発生手段から上記第1の回路に上記第1の電源電圧が供給されることを特徴とする半導体装置。

【請求項17】第1の電源電圧と上記第1の電源電圧の電圧値よりも低電位である第2の電源電圧が供給される

第1の回路及び第2の回路と、
 上記回路に含まれるPMOSTランジスタ及びNMOSTランジスタとに供給する基板バイアス電圧を制御する基板バイアス制御回路とを備え、
 第1の状態において、上記基板バイアス制御回路は上記PMOSTランジスタと上記NMOSTランジスタとにそれぞれ基板バイアス電圧を供給し、
 第2の状態において、上記基板バイアス制御回路は、上記PMOSTランジスタに供給する基板バイアス電圧を上記第1の状態において上記PMOSTランジスタに供給される基板バイアス値よりも高電位に、上記NMOSTランジスタに供給する基板バイアス電圧を上記第1の状態において上記NMOSTランジスタに供給される基板バイアス値よりも低電位に制御し、
 上記第2の状態において、上記第1の回路に供給される上記第1の電源電圧は、上記第1の状態における電圧値よりも低電圧に制御され、上記第2の回路に供給される上記第1の電源電圧は、上記第2の状態において上記第1の回路に供給されている電圧値よりもさらに低電圧に制御されることを特徴とする半導体装置。
 【請求項18】請求項17記載の半導体装置において、上記第2の状態において、上記第1の回路はその回路内に保持されている情報が消去されずに維持され、上記第2の回路はその回路内に保持されている情報が消去されることを特徴とする半導体装置。
 【請求項19】PMOSTランジスタとNMOSTランジスタを含む標準セルと、
 第1の電源電圧が供給される第1電源線と、
 上記第1の電源電圧の電圧値よりも低電位である第2の電源電圧が供給される第2電源線と、
 上記標準セルに第3の電源電圧を供給する第1仮想電源線と、
 上記標準セルに第4の電源電圧を供給する第2仮想電源線と、
 上記標準セルへの上記第1仮想電源線による上記第3の電源電圧の供給と上記第2仮想電源線による上記第4の電源電圧の供給を制御するスイッチセルとを有し、
 第1の状態においては、上記スイッチセルは上記第1電源線と上記第1仮想電源線とを接続し上記第2電源線と上記第2仮想電源線とを接続することにより、上記標準セルに上記第1の電源電圧と上記第2の電源電圧とを供給し、
 第2の状態においては、上記スイッチセルは上記第1の状態における上記第1電源線と上記第1仮想電源線との接続及び上記第2電源線と上記仮想電源線との接続とを切り離すことを特徴とする半導体装置。
 【請求項20】請求項19記載の半導体装置において、上記PMOSTランジスタへの基板バイアス電圧を供給する第1の基板バイアス供給線と、
 上記NMOSTランジスタへの基板バイアス電圧を供給

する第2の基板バイアス供給線とを有し、
 上記スイッチセルは上記PMOSTランジスタ及び上記NMOSTランジスタへの基板バイアス電圧の供給を制御し、
 上記第1の状態においては、上記スイッチセルは、上記第1の基板バイアス供給線と上記第1電源線とを接続し、上記第2の基板バイアス供給線と上記第2電源線とを接続して、
 上記第2の状態においては、上記スイッチセルは、上記第1の基板バイアス供給線と上記第1電源線との接続及び上記第2の基板バイアス供給線と上記第2電源線との接続を切り離すことを特徴とする半導体装置。
 【請求項21】少なくとも一つのMOSTランジスタを含む第1の被制御回路と、
 上記MOSTランジスタの基板バイアス電位を発生する基板バイアス制御手段を具備し、
 上記基板バイアス制御手段を第1の状態に設置することにより、上記MOSTランジスタのドレイン・ソース間に比較的大きな第1の電流が流れることを許容し、
 上記基板バイアス制御手段を第2の状態に設置することにより、上記MOSTランジスタのドレイン・ソース間に上記比較的大きな第1の電流をより小さな第2の電流に制御する半導体集積回路装置において、
 上記第2の状態の時に上記第1の被制御回路に与える基板バイアスの値が上記第1の状態の時よりも、PMOSTランジスタの基板バイアスについては高い電圧値であり、NMOSTランジスタの基板バイアスについては低い電圧値であり、
 上記第2の状態の時に上記第1の被制御回路に与える電源電圧が上記第1の状態の時よりも小さい値であることを特徴とする半導体集積回路。
 【請求項22】第2の被制御回路と、
 上記第2の被制御回路の電源電圧を制御する第2の電源電圧制御手段を具備し、
 上記第1の状態の時には、上記第2の電源電圧制御手段は上記第2の被制御回路中のMOSTランジスタのドレイン・ソース間に比較的大きな第3の電流が流れることを許容し、
 上記第2の状態の時には、上記第2の電源電圧制御手段は上記第2の被制御回路中のMOSTランジスタのドレイン・ソース間に上記比較的大きな第3の電流をより小さな第4の電流に制御し、
 上記第2の状態の時に上記第2の被制御回路に与える電源電圧が上記第1の状態の時よりも小さい値であることを特徴とする請求項21記載の半導体集積回路。
 【請求項23】前記被制御回路にはデータバス回路が具備されており、
 該第2の電源電圧制御手段によって制御された電源線の該データバス回路中での最下層金属配線層による電源ネットワークと、
 該データバス回路のデータフロー方向が平行していることを特徴とする請求項21に記載の半導体集積回路装

置。

【請求項24】前記電源ネットにはさらにデカップリングコンデンサが電源と接地間に配置されていることを特徴とする請求項23に記載の半導体集積回路装置。

【請求項25】前記第1の被制御回路を構成するMOSトランジスタのしきい値電圧が0.5V以下であることを特徴とする請求項21乃至24のいずれかに記載の半導体集積回路装置。

【請求項26】前記第2の状態の時の第1の被制御回路の電源電圧は、1.0V以下かつ0.5V以上であることを特徴とする請求項21乃至25のいずれかに記載の半導体集積回路装置。

【請求項27】前記第2の被制御回路を構成するMOSトランジスタのしきい値電圧が0.5V以下であることを特徴とする請求項22乃至26のいずれかに記載の半導体集積回路装置。

【請求項28】前記第2の電源電圧制御手段によって制御された第2の被制御回路の電源線は、第2の状態の時に0.5V以下であることを特徴とする請求項22乃至27のいずれかに記載の半導体集積回路装置。

【請求項29】前記第2の電源電圧制御手段によって制御された該第2の被制御回路の電源線は、第1の状態の時に比べて第2の状態の時はそのインピーダンスが5倍以上高いことを特徴とする請求項22乃至28のいずれかに記載の半導体集積回路装置。

【請求項30】CMOSトランジスタ回路を含む半導体集積回路装置であって、

上記CMOSトランジスタ回路のソース・ドレイン経路に接続された第1及び第2の仮想電源配線と、

上記CMOSトランジスタ回路を構成するPMOSTランジスタの基板バイアス電位を制御する第1の基板バイアス配線と、

上記CMOSトランジスタ回路を構成するNMOSTランジスタの基板バイアス電位を制御する第2の基板バイアス配線と、

制御回路と、

前記第1の仮想電源配線と第1のスイッチを介して接続され、前記第1の基板バイアス配線と第2のスイッチを介して接続された第1の電源配線と、

前記第2の仮想電源配線と第3のスイッチを介して接続され、前記第3の基板バイアス配線と第4のスイッチを介して接続された第2の電源配線とを有し、

上記制御回路は、所定の期間、上記第1及び第2の仮想電源配線の間の電位差が小さくなるように制御するとともに上記第1及び第2の基板バイアス配線の電位差が大きくなるように制御することを特徴とする半導体集積回路装置。

【請求項31】前記第1～第4のスイッチを含むスイッチセルと、前記CMOSトランジスタ回路を含む複数のセルが、第1及び第2の前記仮想電源配線及び第1及び第2

の基板バイアス配線に沿って配置されている請求項30記載の半導体集積回路装置。

【請求項32】前記第1及び第2の仮想電源配線及び第1及び第2の基板バイアス配線が平行に配置されており、前記第1及び第2の電源配線がこれらに対して垂直に配置されており、前記スイッチセルは前記複数のセルよりも前記第1及び第2の電源配線に近い位置に配置されている請求項30または31記載の半導体集積回路装置。

10 【請求項33】CMOSトランジスタ回路を含む第1及び第2の回路ブロックを有し、

各回路ブロックは上記CMOSトランジスタ回路のソース・ドレイン経路に接続された第1および第2の配線と、上記CMOSトランジスタ回路を構成するPMOSTランジスタの基板バイアス電位を制御する第1の基板バイアス配線と、

上記CMOSトランジスタ回路を構成するNMOSTランジスタの基板バイアス電位を制御する第2の基板バイアス配線とを有し、

20 前記第1の回路ブロックにおいては、所定の期間、上記第1及び第2の配線のうちの少なくとも一方に供給される電圧が変化するとともに、上記第1及び第2の基板バイアス配線の電位差が大きくなるように制御され、前記第2の回路ブロックにおいては、所定の期間、上記第1及び第2の配線のうちの少なくとも一方に供給される電圧が遮断される半導体集積回路装置。

【請求項34】少なくとも一つのMOSトランジスタを含む第1の被制御回路と、

上記MOSトランジスタの基板バイアス電位を発生する基板バイアス制御手段を具備し、

上記基板バイアス制御手段を第1の状態に設置することにより、上記MOSトランジスタのドレイン・ソース間に比較的大きな第1の電流が流れることを許容し、

上記基板バイアス制御手段を第2の状態に設置することにより、上記MOSトランジスタのドレイン・ソース間に上記比較的大きな電流第1の電流をより小さな第2の電流に制御する半導体集積回路装置の検査方法において、

上記第2の状態の時に上記第1の被制御回路に与える基板バイアスの値が上記第1の状態の時よりも、PMOSTランジスタの基板バイアスについては同じか高い電圧値であり、

NMOSトランジスタの基板バイアスについては同じか低い電圧値であり、

上記第2の状態の時に上記第1の被制御回路に与える電源電圧が上記第1の状態の時よりも小さい値であり、

上記第2の状態の時の上記MOSトランジスタのドレイン・ソース間に流れる電流値に基づいて上記半導体集積回路装置を選別することを特徴とする該半導体集積回路装置の検査方法。

50 【請求項35】上記半導体集積回路装置が、PMOSTラン

ジスタの基板バイアスが印可できる第1のパッドと、NMOSトランジスタの基板バイアスが印可できる第2のパッドを具備していることを特徴とする請求項34に記載の半導体集積回路装置の検査方法。

【請求項36】選別時には第1と第2のパッドから基板バイアス電位を供給することを特徴とする請求項35に記載の半導体集積回路装置の検査方法。

【請求項37】該半導体集積回路装置は少なくとも一つのMOSトランジスタからなる第3の被制御回路と、該第1の被制御回路の電源を供給する少なくとも一つの

第3のパッドと、該第3の被制御回路の電源を供給する少なくとも一つの第4のパッドと、

少なくとも一つのスイッチ装置をさらに具備しており、該スイッチ装置は第3のパッドと第4のパッドの間に接続されており、

該選別時には、該スイッチ装置は該第3と第4のパッド間を電氣的に遮断する期間があり、

非選別時には、該スイッチ装置は該第3と第4のパッド間を電氣的に接続する期間があることを特徴とする請求項34乃至36のうちのいずれかに記載の半導体集積回路装置の検査方法。

【請求項38】上記第2の状態の時の該第1の被制御回路の電源電圧は、1.0V以下であることを特徴とする請求項34乃至37のうちのいずれかに記載の半導体集積回路装置の検査方法。

【請求項39】該第1の被制御回路あるいは該第3の被制御回路を構成するMOSトランジスタしきい値電圧が0.5V以下であることを特徴とする請求項34乃至38のうちのいずれかに記載の半導体集積回路装置の検査方法。

【請求項40】該第1の被制御回路を構成するMOSトランジスタの数が100万個以上であることを特徴とする請求項34ないし39のうちのいずれかに記載の半導体集積回路装置の検査方法。

【請求項41】該第3の被制御回路は、少なくとも一つの定電流源回路を具備していることを特徴とする請求項37に記載の半導体集積回路装置の検査方法。

【請求項42】複数のMOSトランジスタからなる半導体集積回路装置において、該半導体集積回路は第1の状態と、第2の状態と、第3の状態を具備し、

該第2の状態の時に該MOSトランジスタに与える基板バイアスの値が該第1の状態の時よりも、PMOSトランジスタの基板バイアスについては同じか高い電圧値であり、NMOSトランジスタの基板バイアスについては同じか低い電圧値であり、

該第2の状態の時に該MOSトランジスタに与える電源電圧が、該第1の状態の時よりも小さい値であり、

該第3の状態の時に該MOSトランジスタに与える電源電

圧が、該第1の状態の時よりも大きい値であることを特徴とする該半導体集積回路装置。

【請求項43】該第3の状態の時に該MOSトランジスタに与える基板バイアスの値が該第1の状態の時よりも、PMOSトランジスタの基板バイアスについては同じか高い電圧値であり、

NMOSトランジスタの基板バイアスについては同じか低い電圧値であることを特徴とする請求項42に記載の半導体集積回路装置。

10 【請求項44】該第2の状態の時の該MOSトランジスタの電源に流れる電流値に基づいて選別されていることを特徴とする請求項42または43に記載の半導体集積回路装置。

【請求項45】該第3の状態に一定時間遷移させた後、該第2の状態の時の該MOSトランジスタの電源に流れる電流値に基づいて選別したことを特徴とする請求項42乃至44のうちのいずれかに記載の半導体集積回路装置。

20 【請求項46】該第3の状態に遷移させる前の、該第2の状態の時の、該MOSトランジスタの電源に流れる第1の電流値と、

該第3の状態に一定時間遷移させた後の、該第2の状態の時の、該MOSトランジスタの電源に流れる第2の電流値に基づいて選別したことを特徴とする請求項42乃至45のうちのいずれかに記載の半導体集積回路装置。

【請求項47】複数のMOSトランジスタから構成されている半導体集積回路装置において、該半導体集積回路は第1の状態と第2の状態を具備しており、

30 該第1の状態の時よりも該第2の状態の時の方が、該MOSトランジスタの電源に流れるサブスレッショルドリーク電流と、

該MOSトランジスタの電源に流れるGIDL電流を含むpn接合電流に起因したリーク電流の両方が少ないことを特徴とする半導体集積回路装置。

【請求項48】該第2の時の該MOSトランジスタの電源に流れる電流が100μA以下であることを特徴とする請求項47に記載の半導体集積回路装置。

40 【請求項49】該第2の状態の時の、該MOSトランジスタの電源に流れる電流値に基づいて、選別したことを特徴とする請求項47あるいは48に記載の半導体集積回路装置。

【請求項50】選別を行う該電流値が、該第2の状態の時の該MOSトランジスタに流れるサブスレッショルドリーク電流や、GIDL電流を含むpn接合電流に起因したリーク電流よりも、大きな値であることを特徴とする請求項47乃至49のうちのいずれかに記載の半導体集積回路装置の検査方法。

【請求項51】少なくとも一つのMOSトランジスタを含む第1の被制御回路と、

50 上記MOSトランジスタの基板バイアス電位を少なくとも

第1の状態と第2の状態に設定可能な基板バイアス制御手段を具備し、

上記第2の状態の時に上記第1の被制御回路に与える基板バイアスの値が上記第1の状態の時よりも、PMOSトランジスタの基板バイアスについては同じか高い電圧値であり、

NMOSトランジスタの基板バイアスについては同じか低い電圧値であり、

上記第2の状態の時に上記第1の被制御回路に与える電源電圧が上記第1の状態の時よりも小さい値であり、

上記第2の状態の時の上記MOSトランジスタのドレイン・ソース間に流れる電流値を測定することにより選別が可能な半導体集積回路装置。

【請求項52】上記半導体集積回路装置が、PMOSトランジスタの基板バイアスが印可できる第1のパッドと、NMOSトランジスタの基板バイアスが印可できる第2のパッドを具備していることを特徴とする請求項51に記載の半導体集積回路装置。

【請求項53】該半導体集積回路装置は少なくとも一つのMOSトランジスタからなる第3の被制御回路と、

該第1の被制御回路の電源を供給する少なくとも一つの第3のパッドと、

該第3の被制御回路の電源を供給する少なくとも一つの第4のパッドと、

少なくとも一つのスイッチ装置をさらに具備しており、該スイッチ装置は第3のパッドと第4のパッドの間に接続されており、

該選別時には、該スイッチ装置は該第3と第4のパッド間を電気的に遮断する期間があり、

非選別時には、該スイッチ装置は該第3と第4のパッド間を電気的に接続する期間があることを特徴とする請求項51または52に記載の半導体集積回路装置の検査方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は半導体集積回路装置に係わり、特に高速性と低電力性を兼ね備えた半導体集積回路装置に関する。

【0002】

【従来の技術】CMOS回路は低電圧になるにつれて速度が低下する。その速度低下を補うためにはMOSトランジスタ（またはMISトランジスタ）のしきい値電圧を低くしなければならないが、CMOS回路が動作しないときの消費電力がMOSトランジスタのサブスレッショルドリーク電流によって増加するという問題が発生する。この問題に対する一つの解決方法が、例えばIEEE Journal of Solid-State Circuits, Vol. 31, No. 11, November 1996, pp. 1770-1779（以下、文献1と記す）に記載されている。

【0003】図5に文献1の技術を示す。vddは電源電

圧電位で本従来例では0.9V、vssは接地電位、vbpはPMOSの基板バイアス電位、vbnはNMOSの基板バイアス電位、200はMOSトランジスタで構成された回路、202は基板バイアス制御回路、203は状態制御線である。なお、一般にMOSトランジスタを形成しているウェルあるいは基板の電位とそのソース電位との電位差を基板バイアスと定義している場合があるが、ここではMOSトランジスタを形成しているウェルあるいは基板の絶対電位（接地電位0Vとの電位差）を基板バイアスと定義する。

10 【0004】この従来例ではCMOS回路が動作しない状態（以下、スタンバイ状態あるいはスタンバイ時と記す）のときに、CMOS回路を構成するMOSトランジスタの基板バイアスに動作している状態（以下、アクティブ状態あるいはアクティブ時と記す）の時よりも深い電圧を印加する。なお、ここで「深い基板バイアスを印加する」というのは、「PMOSについてはより高い電位を与える」ということを意味し、「NMOSについてはより低い電位を与える」ということを意味している。逆に、「浅い基板バイアスを印加する」というのは、「PMOSについてはより低い電位を与える」ということを意味し、「NMOSについてはより高い電位を与える」ということを意味している。以下、この表現を使うこととする。

20 【0005】文献1に記載された従来例では、アクティブ状態ではPMOS、NMOSの基板バイアスにはそれぞれ1.4V、-0.5Vが印加され、スタンバイ状態ではPMOS、NMOSの基板バイアスにはそれぞれ4.2V、-3.3Vが印加されると、そのしきい値電圧が増加するという基板バイアス効果がある。そのためスタンバイ状態ではアクティブ状態よりもサブスレッショルドリーク電流が小さくなる。

【0006】従来例の基板バイアスを用いたスタンバイ時の低電力化では、以下のような問題点がある。

【0007】(1) スタンバイ時とアクティブ時のしきい値電圧を基板バイアス効果で変化させているが、一般にしきい値電圧の基板バイアス依存性はMOSトランジスタのゲート長(Lg)が小さくなるにつれて小さくなってしま

【0008】(2) 一般にCMOS回路は基板バイアス効果が小さい方がより高速で動作するため、スタンバイ時のサブスレッショルドリーク電流を低減するために基板バイアス効果を大きくするようにMOSトランジスタを設計するというのは相反する要求になる。

【0009】(3) スタンバイ時とアクティブ時でしきい値電圧をより大きく変化させるためには、より深い基板バイアスを印加すればよい。しかし、このような深い基板バイアスの印加はMOSトランジスタのドレイン・ウェルあるいはウェル・ウェル間等に大きな電位差を生じさせることになり、pn接合に多くの接合リークを生じさせる。

50 【0010】

【発明が解決しようとする課題】発明者らは、特に酸化膜厚（ゲート絶縁膜）の薄いMOSトランジスタにおいては、ある程度深い基板バイアスを印加してしまうとそれ以上の深い基板バイアスを印加してもリーク電流は低減されず、むしろ、Gate-Induced Drain Leakage電流（GIDL電流）と呼ばれるPN接合の接合リーク電流が流れることによりかえってリーク電流が増大し、スタンバイ時における消費電力が増大するおそれがあることを見出した。

【0011】図19は、酸化膜厚の薄いMOSトランジスタのドレイン電流(I_d)のゲート電圧(V_{gs})依存性を示す図である。ドレイン・ゲート間電圧が大きな領域で、GIDL電流と呼ばれるドレインから基板へのリーク電流が流れている。

【0012】曲線(A)は、ドレイン電圧(V_{ds})が1.8Vで、かつ基板バイアスを印加しない($V_{bb}=0V$)場合の依存特性を示している。ゲート電圧(V_{gs})が0Vのときのドレイン電流(I_d)がトランジスタのオフ時のリーク電流である。 $V_{gs}=0V$ 付近ではサブスレッショルドリーク電流によるリーク電流が流れている。

【0013】曲線(B)は、 $V_{ds}=1.8V$ で、かつ基板バイアスを少し印加した場合、例えば、基板に-1.5Vの電位($V_{bb}=-1.5V$)を印加した場合の依存特性を示している。この場合、基板効果によってサブスレッショルドリーク電流は減少する。曲線(B)の場合、トランジスタのオフ時に流れるリーク電流の大きさは、サブスレッショルドリーク電流によって決定されている。

【0014】曲線(C)は、 $V_{ds}=1.8V$ で、さらに基板バイアスを深く印加した場合、例えば、 $V_{bb}=-2.3V$ を印加した場合の依存特性を示している。この場合、基板効果によりサブスレッショルドリーク電流が減少する一方、GIDL電流が増加する。曲線(C)の場合、トランジスタのオフ時に流れるリーク電流はGIDL電流が支配的になる。深い基板バイアスの印加により、トランジスタのオフ時のリーク電流は、より浅いバイアスを印加した場合（曲線(B)）よりも多くなってしまう。

【0015】このように、酸化膜厚の薄いMOSトランジスタでは、基板バイアスを一定以上深く印加しても従来想定されていたようなリーク電流を低減することはできず、オフ時のリーク電流はGIDL電流によって逆に増加してしまうことを見出された。トランジスタのアロファイル（例えば、拡散層の不純物濃度等）にもよるが、酸化膜厚が5nm以下のMOSトランジスタでは、GIDL電流の値が無視できないほど大きくなるため、印加できる基板バイアスの範囲は制限されることになる。したがって、従来例の技術では酸化膜厚の薄いMOSトランジスタにおいてはリーク電流の低減効果も制限されざるを得ない。

【0016】(4)サブスレッショルドリーク電流や、pn接合リーク電流によって、回路に流れる電流値によって回路の不良判定を行うIDDQテストが困難になる。

【0017】オフ時に上記のようなドレイン電流(I_d)—ゲート電圧(V_{gs})依存特性を有する酸化膜厚の薄いMOSトランジスタにおいては、基板バイアスを深くかけるだけでは十分なリーク電流の低減効果を得ることができない。図19において、曲線(D)は、基板バイアスを深く印加し($V_{bb}=-2.3V$)、さらにドレイン電圧を小さく($V_{ds}=1.0V$)した場合の依存特性を示している。このように電源電圧を小さくすることで、MOSトランジスタの拡散層とウェル間にかかる電圧を小さく制限したままで（ここでは3.3V）深い基板バイアスをウェルに印加できる。さらにこのとき次のような特性が得られた。

【0018】(1) ゲート酸化膜にかかる電界量が小さくなるために、 $V_{gs}=0V$ 付近におけるGIDL電流が減少した。

【0019】(2) ドレイン電圧の減少にともない、Drain Induced Barrier Lowering効果（DIBL効果）によってMOSトランジスタのしきい値電圧が上昇する。この場合、基板バイアスが印加されているために、DIBL効果が効果的に働く。（図19において、曲線(C)、(D)とを比較すると、全体的に V_{ds} を小さくした方がリーク電流が小さくなっている。）

かかる依存特性を利用することにより、酸化膜厚の薄いトランジスタのオフ時のリーク電流が大幅に減少させることができる。このような基板バイアス条件をチップのスタンバイ時に各MOSトランジスタで実現するためには、トランジスタの電源電圧を通常動作時よりも低くし、さらに基板バイアスを深く印加すればよい。

【0020】なお、特開平7-254685号公報には、スタンバイ時にはトランジスタのしきい値の絶対値を高くしてサブスレッショルド電流を低減するために基板バイアス電圧を制御し、あわせてゲートリーク電流やバンドーバンド間トンネルリーク電流を低減するためにトランジスタの電源電圧を低くすることが開示されている。しかしながら、本公知例には、それぞれの手段が独立して効果を有するものとして認識されており、薄膜トランジスタにおいては上記手段が相乗的にリーク電流を効果的に低減させることができることについては認識されていない。また、この公報ではアクティブ状態には内部電源電圧を従来の内部電源電圧 $IntV_{cc}$ よりも Δ だけ高い、ホットエレクトロン効果によってきまる電圧を($IntV_{cc}+\Delta$)印加し、スタンバイ状態には内部電源電圧を V_{cc} MINに近い値($IntV_{cc}-\Delta'$)に設定している。このため、アクティブ状態では従来回路よりも高速に動作し、スタンバイ状態では低電力になることが言及されており、内部電源電圧の変化範囲($\Delta+\Delta'$)を内部回路の動作電源範囲で変化させることしか認識されていない。

【0021】また、特開平10-229165号公報には、スタンバイ時には基板バイアス電圧を制御するとともに電源電圧を制御することにより、基板バイアス電圧の変化量を少なくしてしきい値電圧の変化を得るようにしている。本公知例においても、薄膜トランジスタにお

いては上記手段が相乗的にリーク電流を効果的に低減させることができることについては認識されておらず、従来基板バイアス電圧を変化させて得ていた変化量を基板バイアス電圧と電源電圧とを制御することにより得ることを開示している。

【0022】

【課題を解決するための手段】上記の課題を解決するために行った主な手段は、少なくとも一つのMOSトランジスタからなる第1の被制御回路と、MOSトランジスタの基板バイアス電位を発生する基板バイアス制御手段を具備し、基板バイアス制御手段を第1の状態に設置することにより、MOSトランジスタのドレイン・ソース間に比較的大きな電流が流れることを許容し、基板バイアス制御手段を第2の状態に設置することにより、MOSトランジスタのドレイン・ソース間に上記比較的大きな電流をより小さな値に制御する半導体集積回路装置において、第2の状態の時に第1の被制御回路に与える基板バイアスの値が第1の状態の時よりも、PMOSトランジスタの基板バイアスについては高い電圧値であり、NMOSトランジスタの基板バイアスについては低い電圧値であり、第2の状態の時に第1の被制御回路に与える電源電圧が第1の状態の時よりも小さい値であることを特徴とする。

【0023】さらに第3の状態を規定し、基板バイアス制御手段を第2あるいは第3の状態に設置することにより、MOSトランジスタのドレイン・ソース間の上記比較的大きな電流をより小さな値に制御する。このとき、第2あるいは第3の状態の時に第1の被制御回路に与える基板バイアスの値が第1の状態の時よりも、PMOSトランジスタの基板バイアスについては高い電圧値であり、NMOSトランジスタの基板バイアスについては低い電圧値である。

【0024】第2の状態の時に第1の被制御回路に与える電源電圧が第1の状態の時よりも小さい値であり、第3の状態の時に第1の被制御回路に与える電源電圧は第1の状態の時の値と同じ値とすることもできる。

【0025】さらに、第2の被制御回路と、この第2の被制御回路の電源電圧を制御する第2の電源電圧制御手段を具備し、第1の状態の時には、第2の電源電圧制御手段は第2の被制御回路中のMOSトランジスタのドレイン・ソース間に比較的大きな電流が流れることを許容し、第2の状態の時には、第2の電源電圧制御手段は該第2の被制御回路中のMOSトランジスタのドレイン・ソース間に上記比較的大きな電流をより小さな値に制御し、第2の状態の時に第2の被制御回路に与える電源電圧が第1の状態の時よりも小さい値であるようにすることもできる。

【0026】このとき、第2の被制御回路中のMOSトランジスタの基板バイアスは、基板バイアス制御手段によって制御されており、第2あるいは第3の状態の時には第1の状態の時よりも、PMOSトランジスタの基板バイアスについては高い電圧値であり、NMOSトランジスタの基板バ

ィアスについては低い電圧値であるようにすることができ。

【0027】また、被制御回路にはデータバス回路が具備されており、第2の電源電圧制御手段によって制御された電源線のデータバス回路中での最下層金属配線層による電源ネットと、データバス回路のデータフロー方向が平行していることも好ましい。

【0028】数値的な例を示すと、第1の被制御回路を構成するMOSトランジスタのしきい値電圧が0.5V以下であり、第2の状態の時の第1の被制御回路の電源電圧は、1.0V以下かつ0.5V以上、第2の被制御回路を構成するMOSトランジスタのしきい値電圧が0.5V以下であるように構成することができる。

【0029】また、第2の電源電圧制御手段によって制御された第2の被制御回路の電源線は、第2の状態の時に0.5V以下である。第2の電源電圧制御手段によって制御された第2の被制御回路の電源線は、第1の状態の時に比べて第2の状態の時はそのインピーダンスを5倍以上高くすることが望ましい。

【0030】本発明の他の観点によると、MISトランジスタを含む被制御回路と、MISトランジスタの基板バイアス電位を制御する第1の制御回路と、MISトランジスタの電源電圧を制御する第2の制御回路と、被制御回路の状態を制御する状態制御信号入力手段とを有し、状態制御信号入力手段から得られる状態制御信号に基づいて形成される単一もしくは複数の制御信号により第1及び第2の制御回路を制御する。

【0031】また、MISトランジスタを含む被制御回路と、MISトランジスタの基板バイアス電位を制御する第1の制御回路と、MISトランジスタのドレイン・ソース間電圧を制御する第2の制御回路とを有し、第1の制御回路を第1の状態に設置することにより、MOSトランジスタのドレイン・ソース間に比較的大きな電流が流れることを許容し、第1の制御回路を第2の状態に設置することにより、MOSトランジスタのドレイン・ソース間に比較的大きな電流をより小さな値に制御し、第2の制御回路は、第1の制御回路が第2の状態に設置されいる期間の少なくとも一部の期間において、MOSトランジスタのドレイン・ソース間電圧が低くなるように制御する。

【0032】また、回路中の配線に着目すると、CMOSトランジスタ回路を含む半導体集積回路装置であって、CMOSトランジスタ回路のソース・ドレイン経路に接続された第1および第2の仮想電源配線と、CMOSトランジスタ回路を構成するPMOSトランジスタの基板バイアス電位を制御する第1の基板バイアス配線と、CMOSトランジスタ回路を構成するNMOSトランジスタの基板バイアス電位を制御する第2の基板バイアス配線と、制御回路を備え、制御回路は、所定の期間、第1及び第2の仮想電源配線の間の電位差が小さくなるように制御するとともに、第1及び第2の基板バイアス配線の電位差が大きくなるよ

うに制御する。

【0033】このとき、第1の仮想電源配線と第1のスイッチを介して接続され、第1の基板バイアス配線と第2のスイッチを介して接続された第1の電源配線と、第2の仮想電源配線と第3のスイッチを介して接続され、第3の基板バイアス配線と第4のスイッチを介して接続された第2の電源配線と、を有するように構成することができる。

【0034】さらに具体的なレイアウトとしては、第1～第4のスイッチを含むスイッチセルと、CMOSトランジスタ回路を含む複数のセルを、第1及び第2の仮想電源配線及び第1及び第2の基板バイアス配線に沿って配置することができる。このとき、第1及び第2の仮想電源配線及び第1及び第2の基板バイアス配線が平行に配置し、第1及び第2の電源配線をこれらに対して垂直に配置し、スイッチセルは複数のセルよりも第1及び第2の電源配線に近い位置に配置することができる。

【0035】他の例としては、CMOSトランジスタ回路を含む半導体集積回路装置であって、CMOSトランジスタ回路のソース・ドレイン経路に接続された第1および第2の配線と、CMOSトランジスタ回路を構成するPMOSトランジスタの基板バイアス電位を制御する第1の基板バイアス配線と、CMOSトランジスタ回路を構成するNMOSトランジスタの基板バイアス電位を制御する第2の基板バイアス配線と、制御回路を備え、制御回路は、所定の期間、第1及び第2の配線の間の電位差が小さくなるように制御するとともに、第1及び第2の基板バイアス配線の電位差が大きくなるように制御する。

【0036】別の例としては、MISTランジスタを含む半導体集積回路装置の制御方法であって、MISTランジスタの基板バイアス電位を制御することによりMOSトランジスタのドレイン・ソース間に流れるサブスレッショルドリーク電流を低減する第1の動作を行うとともに、MISTランジスタのドレイン・ソース間電圧を減少させる第2の動作を行うものであり、第1の動作を行う期間と第2の動作を行う期間の少なくとも一部が重複するように制御される。

【0037】さらに、発展した例としては、CMOSトランジスタ回路を含む第1及び第2の回路ブロックを有し、各回路ブロックはCMOSトランジスタ回路のソース・ドレイン経路に接続された第1および第2の配線と、CMOSトランジスタ回路を構成するPMOSトランジスタの基板バイアス電位を制御する第1の基板バイアス配線と、CMOSトランジスタ回路を構成するNMOSトランジスタの基板バイアス電位を制御する第2の基板バイアス配線とを有し、第1の回路ブロックにおいては、所定の期間、第1及び第2の配線のうちの少なくとも一方に供給される電圧が変化するとともに、第1及び第2の基板バイアス配線の電位差が大きくなるように制御され、第2の回路ブロックにおいては、所定の期間、1及び第2の配線のうちの

少なくとも一方に供給される電圧が遮断される。

【0038】

【発明の実施の形態】図1は本発明の基本的な実施例を表したものである。vddは電源電圧電位、vssは接地電位、vbpはPMOSの基板バイアス電位、vbnはNMOSの基板バイアス電位、100はMOSトランジスタを含んでなる回路、101は電源電圧制御回路、102は基板バイアス制御回路、103は状態制御線である。

【0039】状態制御線103が「L」の時、電源電圧制御回路101によりvddには1.8V、vssには0Vが印加される。また、基板バイアス制御回路102によりvbpには1.8V、vbnには0Vが印加される。回路100はアクティブ状態となり高速動作が可能である。

【0040】一方、状態制御線103が「H」の時、電源電圧制御回路101によりvddには0.9V、vssには0Vが印加される。また、基板バイアス制御回路102によりvbpには3.3V、vbnには-2.4Vが印加され、回路100はスタンバイ状態となる。この状態では、

1) 基板バイアス電位が各MOSトランジスタのソース電位よりも深くなるため、基板バイアス効果により回路100中のMOSトランジスタのしきい値電圧が高くなる。

【0041】2) ドレイン電圧が低下するため、DIBL (Drain Induced Barrier Lowering) 現象により100中のMOSトランジスタのしきい値電圧が高くなる。

【0042】という二つの効果により、図5の従来例のスタンバイ状態よりもサブスレッショルドリーク電流による消費電力増加を大幅に抑えることができる。さらに、DIBL現象はゲート長 L_g が短くなるほど大きくなるため、微細化が進めばそれだけ効果が増すという特徴がある。

【0043】本願発明は電源電圧の制御と基板バイアスの制御の相乗効果を利用しており、ドレイン・ソース間電圧が小さくなる状態と基板バイアスを深くする状態とが重複する期間が有れば、その範囲においてサブスレッショルドリーク電流低減の効果を得ることができる。各状態へ移行する際の、電源電圧値の変化させるタイミングと基板バイアス値の変化させるタイミングについては、どちらを先に変化させてもよい。

【0044】留意点としては、各状態へ移行させることで、回路100が誤作動しないようにすることが望ましい。たとえば、回路100の動作が完全に停止してから各状態へ移行させるという制御も有効である。移行中は電源電圧や基板バイアス値が変化するため、回路100の遅延特性等も変化する。回路100の動作マージンがそれらの電圧変動に対して十分に余裕があるのであれば、回路100を動作させたまま各状態へ遷移させることが可能であるが、通常は動作中に各状態に遷移させることは誤作動のもととなるおそれがある。

【0045】また、回路100の動作がアクティブ時の電源電圧値と基板バイアス値でしか保証されない場合に

は、スタンバイ状態からアクティブ状態に移したときに回路100を動作し始めるのは、電源電圧値と基板バイアス値がアクティブ状態の値に確定したことを検出してからにする必要がある。この検出は各電圧値をモニタしてもよいし、タイマ等で各電圧値が所定の電圧になるまでの時間だけ待つという方法でもよい。いずれの方法によっても、回路100の誤作動を防ぐことができる。

【0046】図2は本発明のより具体的な実施例である。ここでは例として、回路CKT0は高電圧系回路ブロックCKT1と低電圧系回路ブロックCKT2を含む。高電圧系回路ブロックCKT1と低電圧系回路ブロックCKT2とはアクティブ時の動作電圧が異なる。また、低電圧系回路CKT2を構成するMOSトランジスタの基板バイアス電位のみを制御できるように構成し、高電圧系回路CKT1を構成するMOSトランジスタの基板バイアス電位は制御しない。

【0047】 v_{ddq} 、 v_{ddh} は電源電圧で、アクティブ時にはここに3.3Vおよび1.8Vが印加される。 v_{ss} は接地電位、 v_{bpq} はスタンバイ時にPMOSの基板バイアスに印加する電圧を与える電源電圧で、特に限定しないが、ここでは v_{ddq} と同様に3.3Vである。 v_{bph} はPMOSの基板バイアス電位、 v_{bnl} はNMOSの基板バイアス電位である。STBC1はMOSトランジスタで構成された回路CKT2の基板バイアスを制御する基板バイアス制御回路、BAT1は電池、DC1、DC2はDC-DCコンバータ、STBC2はスタンバイ制御回路、D10～D14はダイオードである。

【0048】まず図2の電源系について説明する。基板バイアス制御回路STBC1にはスタンバイ時の基板バイアス電位を発生させるための電源 v_{bpq} がDC-DCコンバータDC1より電池BAT1から昇圧されて供給されている。その電位は v_{ddq} の電位と同じ3.3Vである。また、高電圧系回路CKT1は3.3Vで動作する回路からなっており、 v_{ddq} 端子より給電されている。さらに、低電圧系回路CKT2の電源は v_{dd} 端子から供給され、 v_{dd} 端子にはDC-DCコンバータDC1で昇圧された3.3Vの電源(V10)がDC-DCコンバータDC2で降圧されたのち、ダイオードD10を通して供給されている。DC-DCコンバータDC2の降圧電位は v_{dd} の値が1.8Vになるように設定されている。DC-DCコンバータDC2とダイオードD10からなるパスと並列にダイオードD11～D14からなるパスが接続されている。

【0049】つぎに基板バイアス系について説明する。回路CKT2中のMOSトランジスタの基板バイアス v_{bp} 、 v_{bn} は、基板バイアス制御回路STBC1により制御されている。なお、高電圧系回路CKT1および基板バイアス制御回路STBC1中のMOSトランジスタの基板バイアスの値は特に限定しない。

【0050】なお、図2には上記した電源系および基板バイアス系の信号以外の信号配線等は特に記述していないが、その構成は特に限定しない。

【0051】図3は、図2の実施例の回路のアクティブ時およびスタンバイ時での制御方式を示す。回路CKT2が

アクティブ状態の時には回路CKT2の電源端子 v_{dd} に1.8Vを供給する。1.8Vの給電はDC-DCコンバータDC2で発生した電圧をダイオードDC10で降圧した後に給電することで行う。ダイオード一個分の電圧降下 V_f は約0.6Vである。したがって、3つのダイオードD11～D14の電圧降下は2.4Vとなり、V11の電位が1.8VになるようにDC-DCコンバータDC2が動作すればダイオードD11～D14はオフ状態となる。一方、回路CKT2を構成するMOSトランジスタの基板バイアス v_{bp} 、 v_{bn} には、基板バイアス制御回路STBC1によりそれぞれ1.8Vおよび0Vが印加される。

【0052】回路CKT2がスタンバイ状態1の時には、回路CKT2の電源端子 v_{dd} にアクティブ状態と同様に1.8Vを供給する。一方、回路CKT2を構成するMOSトランジスタの基板バイアス v_{bp} 、 v_{bn} には、基板バイアス制御回路STBC1によりそれぞれ3.3Vおよび-1.5Vが印加される。基板バイアス効果により回路CKT2を構成しているMOSトランジスタのしきい値電圧が高くなるため、回路CKT2のサブスレッショルドリーク電流による消費電力増加を抑えることができる。

【0053】また、回路CKT2がスタンバイ状態2の時には、スタンバイ制御回路STBC2がDC-DCコンバータDC2をオフさせ、ダイオードD10を通して1.8Vの給電を停止させる。これによりV11の電位が低下するが、ダイオードD11～D14からなるパスがオンすることでV11の電位は0.9V($=3.3V - 0.6V \times 4$)以下には下がらない。結果的には、CKT2の電源端子 v_{dd} には0.9Vが供給される。一方、回路CKT2を構成するMOSトランジスタの基板バイアス v_{bp} 、 v_{bn} には、スタンバイ状態1の時と同様に基板バイアス制御回路によりそれぞれ3.3Vおよび-1.5Vが印加される。

【0054】先に記述したように、ゲート長(Lg)が短いMOSトランジスタのサブスレッショルドリーク電流は、(1)ゲート電圧だけではなくドレイン電圧に対しても指数関数的に変化する。

(2)基板バイアスを深くすると、上記ドレイン電圧依存性が大きくなる。

という、いわゆるDIBL (Drain Induced Barrier Lowering) による特徴を示す。

【0055】ここで、図3のスタンバイ状態2では、

(1)スタンバイ状態1と比較して、回路CKT2中のMOSトランジスタのドレイン電圧が低くなっている。

(2)PMOSの基板バイアス電位が、スタンバイ状態1では1.5V($=3.3V - 1.8V$)であるのに対し、2.4V($=3.3V - 0.9V$)となる。

【0056】スタンバイ状態2では、上記(1)および(2)によりDIBL現象の効果が大きくなり、スタンバイ状態2ではスタンバイ状態1よりもサブスレッショルドリーク電流による回路CKT2の消費電力増加を抑えることができる。また、図19に示すようにトランジスタのオフ時にGIDL電流が流れないことによっても、スタンバイ状態2においてはリーク電流の削減が可能になっている。

21

【0057】図4は他の実施例を示している。図3ではスタンバイ状態2での基板バイアス電位 v_{bp} 、 v_{bn} の値はスタンバイ状態1と同じ値に制御しているのに対して、図4のスタンバイ状態3ではNMOSの基板バイアス電位 v_{bn} をスタンバイ状態2の値(-1.5V)よりも深い値(-2.4V)になるように制御した実施例である。この制御は基板バイアス制御回路STBC1が v_{dd} 電位と v_{bpq} 電位をモニタして基板バイアス電位 v_{bp} 、 v_{bn} を発生するように設計すれば実現できる。このようにすることで、図4のスタンバイ状態3では図3のスタンバイ状態2のときより

も、より深い基板バイアスが印加される。ここで、図4のスタンバイ状態3では、

(1)スタンバイ状態1と比較して、回路CKT2中のMOSトランジスタのドレイン電圧が低くなっている。
【0058】(2)PMOSの基板バイアス電位が、スタンバイ状態1では1.5V(=3.3V-1.8V)であるのに対し、2.4V(=3.3V-0.9V)となり、さらにNMOSの基板バイアス電位が、スタンバイ状態1では-1.5Vであるのに対し、-2.4Vとなる。

【0059】スタンバイ状態3では、上記(1)および(2)により、図3のスタンバイ状態2よりもさらにサブスレッショルドリーク電流による回路CKT2の消費電力増加を抑えることができる。

【0060】特に、スタンバイ状態3においては、上記(2)のように回路CKT2中のMOSトランジスタにはスタンバイ状態1の時よりも深い基板バイアスが印加されているが、MOSトランジスタのドレイン・ウェルあるいはウェル・ウェル間の電圧は、電源電圧 v_{dd} が減少しているためにスタンバイ状態1の時と同じである。したがって、この深い基板バイアスの印加によってMOSトランジスタのドレイン・ウェルあるいはウェル・ウェル間に大きな電位差を生じさせることがない。これにより、pn接合に流れる接合リークを増加させることなく基板バイアスを深く印加できるという効果がある。

【0061】図2で回路CKT1は、回路CKT0が回路CKT0の外部に設置されている他のデバイスとの間で信号のやり取りをするときに使用するI/O回路として使用するのが好適である。I/O電圧は外部デバイスとの間で決められたある範囲内の値にする必要があるため、I/O電圧は v_{dd} 電圧がスタンバイ状態2あるいはスタンバイ状態3で変化した場合でもある決まった値でないと不都合が生じる。 v_{ddq} 電圧3.3Vは、上記スタンバイ状態2あるいはスタンバイ状態3の時でも電圧値が変化しないため、I/O回路の電源電圧として使用できる。

【0062】以上のように本発明では、スタンバイ時に基板バイアスをアクティブ時よりも深く印加し、さらにその回路に供給する電源電圧を低くする。従来例のように単に基板バイアスをスタンバイ時に印加したのと比較すると、前記IBL現象による効果によりサブスレッショルドリーク電流を大幅に現象させることができる。さら

22

に、MOSトランジスタのドレイン・ウェルあるいはウェル・ウェル間のpn接合の電位差をあまり大きくしないで(pn接合リークを大きくしないで)基板バイアスを従来方式と比較して深くできる。また、基板バイアス効果によりしきい値電圧を高くしてサブスレッショルドリーク電流を低減できるのに加えて、この深い基板バイアスによりさらに上記IBL現象によるサブスレッショルドリーク電流減少効果を大きくできる。また、GIDL電流によるリーク電流の増大も抑制できる。

10 【0063】電源電圧を低くしたときの基板バイアス値については、その値は特に限定しない。電源電圧が低くなるスタンバイ状態の時に、アクティブ状態の時よりも深く基板バイアスが印加されていればよい。

【0064】スタンバイ時に電源電圧を低くする時の電源電圧値については、その電源電圧が印加される回路内のメモリ回路(ラッチやSRAMあるいはレジスタ等の情報を記憶している回路)の記憶内容が消去されない電源電圧値であればよい。あるいは、ソフトウェアに対して十分な耐性がある電圧値であればよい。電源電圧値があまり低くなると上記記憶内容の保持が難しくなるため、図1や図2の実施例では0.9Vに設定した。この最低電圧値は回路を構成するMOSトランジスタのしきい値電圧にも依存するため、ここでは特に限定しない。

【0065】メモリ回路に記憶されている内容が保持できる電源電圧値に設定することで、スタンバイ状態2やスタンバイ状態3からアクティブ状態に移行したときに、スタンバイ状態に移行するまえの状態に完全に復帰することができる。スタンバイ状態とアクティブ状態の遷移時間を短くすることができる。

30 【0066】またさらに、スタンバイ状態2あるいはスタンバイ状態3の状態では、サブスレッショルドリーク電流あるいはpn接合リーク電流(GIDL電流を含む)が小さいので、電源 v_{dd} に流れる電流値によって回路CKT0の半導体集積回路装置の選別を行うIDDQテストが容易にできるという特徴がある。なお、pn接合リーク電流の影響を解決する別の方法として、IDDQテストに伴う電源電流測定を、電源電流の測定と同時に基板に流れる基板電流を測定して演算により算出する方法も考えられるが、以下に示す本発明の手法で行えば、より簡単にIDDQテストが

40 実現できる。
【0067】IDDQテストとは、トランジスタがスイッチングをしていない静止時にチップの電源電流を測って、故障の有無を検出するテスト手法である。故障がなければ、静止時には僅かな電流がながれるだけである。故障があると、大きな電流が流れる。LSIのテスト手法として主流の機能テスト(Function test)に比べると、少ないテストパターンで多くの故障を検出できるという特徴をもつ。しかし発明者により、従来のIDDQテストには以下のような問題があることが分かった。

50 【0068】(A) 低しきい値トランジスタで構成された

LSIでは、トランジスタがスイッチングをしていない静止時にもサブスレッショルドリーク電流によるリーク電流が流れるため、故障に伴う電流と上記サブスレッショルドリーク電流によるリーク電流の区別がつかなくなり、IDDQテストが困難になる。一方、IDDQテスト時に基板バイアスを印加して上記サブスレッショルドリーク電流によるリーク電流を削減する手法では、今度は上記pn接合リーク電流(GIDL電流を含む)によってIDDQテストが困難になる。

【0069】(B) 機能テストと比較して、IDDQ電流の測定に時間を要するためにテストコストが増加する。

【0070】(A)の問題は、IDDQテストで電流を測定するときに本発明のスタンバイ状態2あるいはスタンバイ状態3の状態で測定する(以下、本発明のIDDQ電流測定方法と呼ぶ)ことで解決できる。この方法により、故障している場合に電源vddに流れる電流と、正常な場合に電源vddに流れる電流との比が大きくなるため、故障検出が容易になる。

【0071】一方、エージングは、チップに通常よりも高い電圧あるいは時には低い電圧を印加し、チップに対して過酷な条件を課して初期不良をあぶりだすことである。エージングの際の温度条件等については特にここでは限定しない。また、チップを動作させてエージングを行う方法と、動作させないでエージングを行う方法があるが、ここでは特にこれも限定しない。また、エージングを加速テストあるいはバーンインと呼ばれるのとは、ここでは同一のものを意味するものとする。

【0072】さらに、エージング時に基板バイアスを印加する方法と印加しない方法があるが、とくにそれも限定しない。サブスレッショルドリーク電流は高温になれば増加する傾向があるため、高温でエージングする場合にはサブスレッショルドリーク電流による熱暴走の危険性がある。そこで、基板バイアスを印加してエージングすればサブスレッショルドリーク電流を減少させることができ、熱暴走を防ぐことができる。

【0073】このエージングとIDDQテストの関係について、以下のような2種類の方法が選択できる。

【0074】(1)エージングを行った後にチップの電流値を測定して不良選別を行う。

【0075】(2)エージングの前後でチップの電流値を測定し、電流値の違いによって不良選別を行う。

【0076】(2)の方法では(1)の方法と比較してエージングによって潜在的不良の加速を検出しやすいという利点がある。一方、(1)の方法は一回の電流測定で不良選別が可能で、テスト時間を削減できるという利点がある。上記(1)(2)の両方の電流測定で本発明のIDDQ電流測定方法を用いることができる。

【0077】図16に(1)の手法について、そのフローの一例をフローチャートで示す(2)の手法についても同様にを行うことができるので、ここでは説明を省略す

る)。まず、ステップ1601、1602で、電源電圧を通常動作電圧の1.8Vよりも高くしてエージングを行い、故障をあぶりだす。次にステップ1603、1604で、電源電圧を通常動作電圧よりも低くしてさらに基板バイアスを印加して電流測定を行う(本発明のIDDQ電流測定方法)。ステップ1605で、測定した電流値がある値よりも大きければ不良品として選別する。その後、良品のものはステップ1606、1607でチップに通常電源電圧を印加して、さらに基板バイアスを印加せずに機能テスト(Function test)を行う。その後ステップ1608でその機能テスト結果によって選別を行う。ステップ1601~1607の周囲温度等の環境については特に限定しない。

【0078】ここで、ステップ1602でのテストプログラムの実行によって、チップの選別を行ってもよい。また、このテストプログラムの実行には、IDDQテストに先立つチップへのテストパターン入力を含んでもよい。ある種のスキャンを用いてテストパターンを入力する場合にもステップ1602でその入力を行うことができる。さらに、ステップ1606のチップの電源電圧はチップの動作電源電圧範囲の中で、ワースト条件(たとえばvdd=1.6V)を選んでもよい。

【0079】さらにまた、例えばステップ1605で選別するためには、ある絶対値よりも大きな電流が流れた場合に故障と判断する手法でもよいが、半導体集積回路装置がある製造単位で製造されている場合にはその製造単位(例えばロットあるいはウェハ単位)内で統計をとり、製造単位内で統計的に標準値よりもずれた電流値(例えば3 σ 以上ずれた電流値)を示したものを不良として判断すればよい。あるいは上記二つの方法の両方を用いて判断すればよい。リーク電流はMOSトランジスタのしきい値電圧がばらつくと大きく変化するため、製造単位で大きくばらつく。しかし、同じ製造単位内であれば比較的均一な特性を示すため、上記統計的な不良判定が有効になる。

【0080】IDDQテストの二つ目の問題点の(B)については、チップの電源電流を測定するICテスト等の電流測定装置の改良によりある程度解決されるが、IDDQテストに先立って基板バイアスを変化させる場合には、基板を駆動するための時間が新たに必要である。基板電圧をそのチップ内部で発生させる場合(たとえば図1で、基板バイアス制御回路STBC1内に電圧発生回路がある場合)には、一般にチップ内の電圧発生回路の駆動能力は大きくないために、基板を所望の電圧まで駆動するには比較的長い時間を要する。

【0081】この課題を解決するため、図17の実施例では基板バイアス用の電源をチップ外部からでも供給できるようにする。図17で、1700はチップを示している。このチップ1700は電源パッド1701、1702に加えて、基板パッド1703、1704を持っている。

【0082】電源パッド1701、1702は回路の電源端子

に、基板パッド1703、1704は回路を構成しているトランジスタの基板端子に、それぞれ接続されている。1706は特に必要ではないが、図2の基板バイアス制御回路STBC1に相当するもので、チップ内部にある基板バイアス制御回路である。1705はチップ中の回路の例であるが、ここでは簡単化のためにCMOSインバータの例を図示している。

【0083】IDDQテスト時にはチップ外部から電源パッド1701、1702に電圧を供給すると同時に、基板パッド1703、1704にも電圧を供給する。一般にチップ外部の装置（例えばICテストなど）の電圧供給能力は高いため、短い時間で電源電圧と基板バイアスの値の両方の値を所望の値に安定させることができる。

【0084】なお、このチップをパッケージングする際には、電源パッドはパッケージのピンにボンディング等で接続される。基板パッド1703、1704はパッケージのピンにボンディング等で接続する必要は特にないが、例えばIDDQテストの前にチップをパッケージングして動作させる必要がある場合は接続すればよい。

【0085】その他の本発明の解決策としては、テスト時に基板バイアスを高速に駆動できるように、チップ内に内蔵する電圧発生回路を構成する方法がある。具体的な一つの方法は、二種類以上の電圧発生回路を用意して、一方をIDDQテスト専用として用いる方法がある。その電圧発生回路の消費電力は気にならないことを利用して、高速に基板バイアスをある値に安定化できる回路構成にする。一方、チップの待機時電流を低減するために用いる電圧発生回路については低電力になるような構成にする。このように、用途によって電圧発生回路を使い分けることで前記問題点(B)を解決できる。もちろん、一つの電圧発生回路で、複数の動作状態を持たせて、用途ごとに最適な動作仕様で動作するように構成してもよい。

【0086】以上で説明した本発明のIDDQ電流測定方法を用いたIDDQテストを用いると、それと組み合わせる各種テスト項目（エージングを含む）によって、様々な組み合わせでチップのテストが可能である。しかし、本発明では少なくともIDDQテスト時に電源電圧をチップの通常動作時の電源電圧（通常電圧）よりも低くして、さらに基板バイアスをチップの通常動作時よりも深く印加して電流測定を行えば、その組み合わせは特に限定しない。またさらに、本発明のIDDQ電流測定方法の際に、基板バイアスはそのまま、電源電圧だけを通常電圧よりも低くして、基板バイアスは印加しないで測定してもよい。要はチップの選定テスト時に行うIDDQテスト時の電流測定を、チップの電源間に流れるサブスレッショルドリーク電流やpn接合リーク電流（GIDL電流を含む）が小さくなるように、電源電圧値と基板バイアス値を調整すればよい。

【0087】上記IDDQテスト時に電源電圧を低くする時

の電源電圧値については、その電源電圧が印加されるチップ内のメモリ回路（ラッチやSRAMあるいはレジスタ等の情報を記憶している回路）の記憶内容が消去されない電源電圧値であればよい。一般には電源電圧値をあまり低くすると、上記記憶内容の保持が難しくなり、さらに回路の動作が不安定となってサブスレッショルドリーク電流以外の別の要因の電流が電源端子間に流れるおそれがある。この最低電圧値は回路を構成するMOSトランジスタのしきい値電圧にも依存するため、ここでは特に限定しない。故障を判別できるのであれば上記したメモリ回路の記憶内容が消去されない最低電圧よりもさらに低い電圧値でもよい。

【0088】また、チップの中には通常動作時に2種類以上の電源電圧で動作するものがあるが、それぞれの電源に対してIDDQテストを行う場合、すべての電源の電流を上記した本発明の種々の方法を用いて同時に測定してもよいし、1個づつあるいは数個づつ順番に測定してもよい。

【0089】またさらに、チップの中には定電流源回路のような、通常動作時にも少量の電流が電源端子間に流れる回路が含まれている場合がある（以下、これらの電流を定常電流と呼ぶ）。その場合には、故障による電流なのか定常電流なのかを区別できないために、IDDQテストが正常に機能できない。その場合には、図18のようにチップを構成すればよい。図18で、1800はそのようなチップを示す。回路群1801は上記した定常電流が流れる回路群を、回路群1802は定常電流が流れない回路群を示す。電源パッド1803と1804とは回路群1801に接続され、電源パッド1805と1806とは回路群1802に接続されている。1807と1808は半導体スイッチである。図18ではそれぞれ一個づつのバットしかないが、これは図面を簡単にするためで、特にそれぞれの数は限定しない。また、基板バイアス関連端子の接続は図1から図17までと同様にできるため、ここでは省略する。

【0090】IDDQテスト時にはスイッチ1807と1808をオフし、電源パッド1805と1806を用いて本発明のIDDQ電流測定方法を行う（当然その時、電源パッド1803と1804にも所定の電圧を印加する）。定常電流が流れる回路1801の影響を受けずにチップ1800のIDDQテストが可能になる。

【0091】一方、これらのテスト時以外の時には電源パッド1804と1806とをスイッチ1808をオンさせて接続し、電源パッド1803と1805とをスイッチ1807をオンさせて接続する。スイッチ1807、1808を用いずに、チップ外で電源パッド1804と1806、及び電源パッド1803と1805をそれぞれボンディングで接続したり、プリント基板（PCB）上でそれらを接続してもよい。しかし、図18のようにチップ内部でスイッチを用いて低抵抗に接続した方が、回路1801と回路1802の電源電圧レベルがノイズ等によってずれることを防ぐことができ、誤作動や消費電

力の増加を防ぐことができる。

【0092】スイッチ1807や1808の構成方法は特に限定しないが、CMOSスイッチで構成してもよい。また、電源パッド1803が正電源側(vdd)で、電源パッド1804が負電源側(vss)であれば、スイッチ1807はPMOSで、スイッチ1808はNMOSで構成するのがよい。それらのスイッチの制御方法も特に限定しない。

【0093】図2ではDC-DCコンバータDC1で昇圧した電圧をDC-DCコンバータDC2で降圧してvdd電圧として供給している。これに対してDC-DCコンバータDC2は電池BAT1からの電圧を直接降圧あるいは昇圧してvdd電圧を作るようにしてもよい。この場合、電池BAT1からDC-DCコンバータ1段でvdd電圧が得られるため高効率な電圧変換が可能である。

【0094】図13は図2とは異なる別の実施例である。BAT2は電池で、図2との違いはスタンバイ時のvddへの電源供給をDC-DCコンバータDC1からではなく、電池BAT2から行っている点である。スタンバイ時には電池BAT1とは別の電池から回路CKT0の電源が供給される。電池の開路電圧のより小さい電池を電池BAT2に使用することができる。電池BAT2は特に限定しないが、ニッケル水素電池やニッケルカドニウム電池がその開路電圧から好適である。

【0095】本発明のスタンバイ状態2あるいはスタンバイ状態3の実現手段については、図2や図13の構成に限定しない。たとえば図2のDC-DCコンバータDC2とダイオードD10からなるバスと、ダイオードD11～D14からなるバスを用いた電源電圧の切り替え方法については、DC-DCコンバータDC2に出力電圧切り替え機能を持たせれば同様のことが実現できる。

【0096】図14にこの実施例を示す。図14では図13に示したダイオードスイッチの代わりに電源切り替え器PSWを用いている。電源切り替え器PSWはVinの電圧がある基準電圧よりも高い時にはVinとVoutをショートさせる。また、ある基準値よりも小さい時にはVbatとVoutをショートさせる。この方法によって電源の切り替えをダイオードスイッチを使用した場合と同様に自動的に行うことが可能になる。

【0097】図14(B)は電源切り替え器PSWの実施例である。301はコンパレータ、302は基準電圧発生器、305と306はインバータ、307と310はPMOSトランジスタ、308と309はダイオードである。Vinの電圧値と基準電圧発生器302の出力とがコンパレータ301で比較され、比較結果を304に出力している。この比較結果によりPMOSトランジスタ307と310のどちらかをオンする。ダイオード308、309はPMOSトランジスタの電流駆動能力以上の電流が流れたときのバイパスとして使用されている。PMOSトランジスタは電流駆動能力が必要になるため、プロセス的に使用可能であればバイポーラトランジスタを使用してもよい。ダイオードスイッチを用いた図2の方法ではダ

イオードの電圧ドロップVfが問題となるが、図14の方式ではこの問題が生じない。

【0098】図15はさらに別の実施例である。ここでは電池はBAT1とBAT3の二つで構成され、アクティブ時には電池BAT1が使用され、スタンバイ時には電池BAT3が使用される。また、回路CKT0にはスタンバイ時の回路CKT2の電源電圧を発生する電源回路320が内蔵されている。電源回路320はオペアンプ322とPMOSトランジスタ323および基準電圧発生器321によって構成されている。ここでは基準電圧発生器321の出力電圧は0.9Vである。324はvdd電位モニターで、vddが0.9V以上であれば電源回路320の動作がオフされ、0.9V以上であれば電源回路320の動作がオンされる。電源切り替え器PSWは図14(B)に示したものである。

【0099】図15では図2と比較するとスタンバイ制御回路STBC2がなく、DC-DCコンバータDC1からの電源供給によってスタンバイ制御を行っている。すなわち、アクティブ状態では、電池BAT1からの電源がDC-DCコンバータDC1によって昇圧あるいは降圧されて3.3Vに安定化された後に、電源切り替え器PSWを通してvddqおよびvbpqに供給される。また、DC-DCコンバータDC1の出力はDC-DCコンバータDC2にも入力され、そこで1.8Vに降圧されてvddとして回路CKT0に供給される。vdd電位モニター324はvddの電位をモニターし、vddが0.9V以上であるため電源回路320はオフされている。一方、スタンバイ状態では、DC-DCコンバータDC1からの電源供給が停止される。これにより、電源切り替え器PSWは電池BAT3の出力VbatとVoutをショートし、vddqおよびvbpqに電池BAT3の電源が供給される。また、DC-DCコンバータDC2には電源が供給されなくなるため、DC-DCコンバータDC2によるvddへの電源供給が無くなる。vdd電位モニター324はvddの電位をモニターし、vddが0.9V以下になるために電源回路320をオンする。これによってvddには基準電圧発生器321の出力電圧と同じ電位0.9VがPMOSトランジスタ323から供給される。電池BAT3には特に限定しないが、リチウム電池がその開路電圧およびエネルギー密度から好適である。

【0100】電源回路320はコイル等を必要としないために集積回路化しやすい。回路CKT0を一つの半導体チップとすれば、回路CKT0以外にスタンバイ時に使用するための特別な電源回路が必要ないという利点がある。また、図14と同様に、ダイオードスイッチを用いた図2の方法と比較すると、ダイオードの電圧ドロップVfの問題がないという利点がある。

【0101】図2、図14において、スタンバイ制御回路STBC2は回路CKT0の外に記述されているが、回路CKT0内に設けてもよい。その場合、回路CKT0からの信号によって自らの電源電圧を変化させることになる。また、回路CKT1内に内蔵してもよい。回路CKT1の電源電位はvdd電位ほど変動しないため、回路CKT1の回路設計が容易にできる。また当然、回路CKT0内であってもvddとは別系

統の電源がスタンバイ制御回路STBC2に供給されていてよい。

【0102】以上、図2、図13、図14、図15で示した実施例以外にも種々の構成が取り得る。以下、図2の構成を元に他の実施例を示すが、基板バイアスをアクティブ時よりも深く印加し、さらにその回路に供給する電源電圧を低くするという電力低減モードを備えてスタンバイ時の低電力化が実現できれば特にその構成は限定しない。

【0103】図6は図2の回路CKT2を、スタンバイ状態で電源をオフにすると回路内に保持されている情報が消去されて電源電圧の復元によってアクティブ状態に移行するのに支障がある回路CKT3と、そうではない回路CKT4に分離した場合の実施例である。

【0104】スタンバイ時には、電源を消去しても支障がない回路CKT4には電源スイッチSW1を介して電源vddcが供給されている。電源スイッチSW1はスタンバイ制御回路STBC2によって制御されており、スタンバイ時には電源スイッチSW1をオフにすることで回路CKT4の電源供給が遮断される。これにより回路CKT4に流れるサブスレッシュコールドリーク電流による電力消費を削減できる。

【0105】スタンバイ時に回路CKT3の電源をオフした時、通電されている回路CKT3が誤作動しないように回路CKT3と回路CKT4間でのインターフェースに出力固定回路や入力固定回路が必要であるが、NANDやNORといったCMOS回路を使用すれば簡単に実現できるのでここでは省略している。

【0106】スタンバイ時のサブスレッシュコールドリーク電流を、本発明の図1の方法を用いて削減し、さらに図6の方式のように電源を切っても支障がない回路の電源を切るという方法を組み合わせることで、システム全体としてより低電力化が達成できる。

【0107】図7は図6の電源スイッチSW1を回路CKT0内に設けた場合の実施例である。STBC2はスタンバイ電源制御回路で、回路CKT4の電源電圧vdd_vおよびvss_vを制御する。スタンバイ状態では回路CKT4の電源電圧vdd_vおよびvss_vに例えば1.0Vおよび0.8Vが印加されるようにする。0.2Vの電位差しか回路CKT4には供給されないため回路CKT4内に記憶された情報は記憶されないが、回路CKT4内に流れるサブスレッシュコールドリーク電流を大幅に低減できる。もちろん、図6の場合と同様にvdd_v、vss_vに0.9Vを印加して電源を完全に遮断してもよい。

【0108】図8は回路CKT4およびスタンバイ電源制御回路STBC2の実現方法の実施例を示したものである。ncell11~ncell1nはCMOS論理回路であり、その基板バイアスはvbpおよびvbnに接続されている。また、それぞれのセルの電源端子は仮想電源vdd_vおよびvss_vに接続されている。CMOS論理回路（標準セル）ncell1の一つまたはそれらの組合せが回路CKT4に相当し、またスイッチセル（電源電圧制御手段）swcell1はスタンバイ電源制御回路

STBC2の一部を構成する。

【0109】スイッチセルswcell1において、PMOS基板バイアスvbpおよびNMOS基板バイアスvbnはそれぞれMOSトランジスタMP1およびMN1を介して電源vddおよびvssに接続されている。したがって、PMOS基板制御信号cbpおよびNMOS基板制御信号cbnがそれぞれ'L'および'H'のときには基板バイアスvbp、vbnには電源電位が印加されることになる。また、PMOS基板制御信号cbpおよびNMOS基板制御信号cbnがそれぞれ'H'および'L'のときには、図8に示されていない外部の回路からvbpおよびvbn電位が供給される。

【0110】一方、仮想電源vdd_vおよびvss_vは、それぞれMOSトランジスタMP2およびMN2を介して電源vddおよびvssに接続されている。したがって、電源切換信号pmswが'H'の時には仮想電源vdd_vおよびvss_vはそれぞれ電源vddおよびvssに接続されることになる。また、電源切換信号pmswが'L'の時には仮想電源vdd_vおよびvss_vはハイインピーダンス状態となり、その電位は仮想電源vdd_vおよびvss_v間に接続されている回路のリーク電流等により決定される値となる。

【0111】図8でCP1とCP2は電源電圧変動を少なくするために用いているいわゆるバイパスコンデンサであるが、特に無くてもよいが、バイパスコンデンサCP1はvdd_vおよびvss_vのAC的なインピーダンスを下げるのに効果的である。

【0112】図9は動作波形の実施例を示している。アクティブ状態ではPMOS基板制御信号cbpおよびNMOS基板制御信号cbnはそれぞれ0V、1.8Vとなり、基板バイアスvbp、vbnは電源電位1.8Vおよび0Vが印加される。このとき、電源切換信号pmswは1.8Vで仮想電源vdd_vおよびvss_vにはそれぞれ電源1.8Vおよび0Vが供給される。

【0113】スタンバイ状態4ではPMOS基板制御信号cbpおよびNMOS基板制御信号cbnには3.3Vおよび-1.5Vが印加され、vbpおよびvbnにはそれぞれ3.3Vおよび-1.5Vが印加される。標準セルncell11~ncell1nの回路中のMOSトランジスタの基板バイアスは深くなり、基板バイアス効果によりしきい値が高くなってサブスレッシュコールドリーク電流が低減できる。

【0114】スタンバイ状態5ではスタンバイ状態4の状態に加えて、電源切換信号pmswが0Vになる。これにより、仮想電源vdd_vおよびvss_vは電源vddおよびvssから切り放される。それにより、仮想電源vdd_vおよびvss_vの電位はリーク等によって決まるある値（ここでは1.0Vおよび0.8V）になる。標準セルncell11~ncell1nの回路中のMOSトランジスタの基板バイアスは深くなり、基板バイアス効果によりしきい値が高くなるのに加え、DIBL現象によってncell11~ncell1nの回路中のMOSトランジスタのしきい値はかなり高くなる。これによりサブスレッシュコールドリーク電流が大幅に低減できる。

【0115】MOSトランジスタMP1、MP2、MN1、MN2のし

きい値電圧については、特に限定しないが、低しきい値に設定するとリーク電流が流れるために全体として低電力化が図り難くなる。そのため高しきい値のMOSトランジスタを使用するのがよい。ただし、MOSトランジスタM_{P2}およびM_{N2}についてはスタンバイ時にはその基板バイアスが深く印加されるため、M_{P2}とM_{N2}のしきい値電圧は高くなる。したがって、MOSトランジスタM_{P2}、M_{N2}には低しきい値MOSトランジスタを使用できる。

【0116】MOSトランジスタの酸化膜厚については、スタンバイ時に高電圧がゲート・ソースあるいはゲート・ドレイン間に印加されるため、MOSトランジスタM_{P1}およびM_{N1}の酸化膜は標準セルncell11中のMOSトランジスタの酸化膜よりも厚くする必要がある。一方、MOSトランジスタM_{P2}およびM_{N2}の酸化膜については、ゲート・ソースあるいはゲート・ドレイン間に高電圧が印加されることがないため、標準セルncell11中のMOSトランジスタの酸化膜と同じ酸化膜厚でよい。

【0117】図8のスイッチセルswcell11を多数設けることで、アクティブ時に基板バイアスvbpおよびvbnと仮想電源vdd_vおよびvss_vをそれぞれ低インピーダンスに電源vdd、vssに接続できる。

【0118】図10および図11はスイッチセルswcell11の配置方法の実施例である。仮想電源vdd_vおよびvss_vはncell11~ncell1nにとって電源線となるため、高速動作のためにはそのインピーダンスは出来るだけ小さくする必要がある。スイッチセルswcell11を多数配置すればそれだけ低インピーダンスとなるが、数には限りがあり、さらに多数のswcell11の配置は面積増加を招く。

【0119】図10は効率的なスイッチセルswcell11の配置方法を示したものである。図10では処理される信号の流れが図に示すX方向であるものとする。図10でncell12とncell15あるいはncell11とncell14は同時に動作するが、ncell12とncell11およびncell15とncell14は同時には動作しない。したがって、一本の仮想電源vdd_vおよびvss_vに接続された回路の中で同時に動作する回路数は少なくなる。

【0120】図11は他の例を示す。図11では処理される信号の流れが図に示すY方向であるものとする。図11でncell12とncell13あるいはncell14とncell15は同時に動作する可能性が高い。したがって、一本の仮想電源vdd_vおよびvss_vに接続されたCMOS回路が同時に多数動作する。

【0121】一本の仮想電源に接続された回路が同時に多数動作しないように信号の流れの方向と仮想電源の方向を平行になるように設計することで、仮想電源に流れる電流ピークを抑えることができる。電流ピークが低くなると同じ電源インピーダンスの場合には発生する電源バンプの量を減らせることになるため、実効的には仮想電源を低インピーダンスにしたことと等価になる。この観点からは図11は図10よりも非効率的なswcell11の

配置方法といえる。

【0122】図10の電源ネットと信号の流れの設計は、たとえばデータバスの設計で容易に実現できる。データバスの信号の流れは規則的であるため、容易に仮想電源とを平行になるように設計できる。

【0123】図12は電源配線vdd、vss、基板バイアス制御線vbp、vbn、cbp、cbn及び電源切換線pmswのレイアウト例である。図の横方向にはM1（第1層メタル配線）で配線されたvdd、vss、vbp、vbnが平行に配線されている。縦方向にはM2（第2層メタル配線）で配線されたvdd、vss、vbp、vbn、cbp、cbn、pmswがswcell11上に配線されており、M1とM2との交点で、それぞれvdd、vss、vbp、vbnがメッシュ状に接続されている。データバスの信号の流れを図のSignal flowの矢印方向にすることで、一本の仮想電源に接続された回路の同時動作数を抑えることができる。図中の符号は図11以前に示したものと同様のものを示す。

【0124】

【発明の効果】本発明の方法の主な効果は以下の通りである。

【0125】(1)基板バイアス効果とDIBL現象によるしきい値電圧の変化により、スタンバイ状態でのサブスレッショルドリーク電流による消費電力増加を抑えることができる。

【0126】(2)MOSトランジスタのドレイン・ウェルあるいはウェル・ウェル間の電圧を大きくすることなく、実効的に深い基板バイアスをMOSトランジスタに印加することができる。

【図面の簡単な説明】

【図1】本発明のもっとも基本的な実施例を示す図である。

【図2】本発明のより具体的な実施例を示す図である。

【図3】図2の制御波形を示す図である。

【図4】図3とは異なる制御例を示す図である。

【図5】従来例を示す図である。

【図6】図2の実施例に、電源電圧制御手段を具備した場合の実施例を示す図である。

【図7】電源電圧制御手段の図6とは異なる別の実施例を示す図である。

【図8】電源電圧制御手段のより具体的な実施例を示す図である。

【図9】図8の制御波形を示す図である。

【図10】図8のswcell11の効率的な配置方法の実施例を示す図である。

【図11】図8のswcell11の非効率的な配置方法の実施例を示す図である。

【図12】データバス回路に図8の実施例を適用した場合のレイアウト例を示す図である。

【図13】電源電圧制御手段の図6とは異なる別の実施例を示す図である。

33

【図14】電源電圧制御手段の図6とは異なる別の実施例を示す図である。

【図15】電源電圧制御手段の図6とは異なる別の実施例を示す図である。

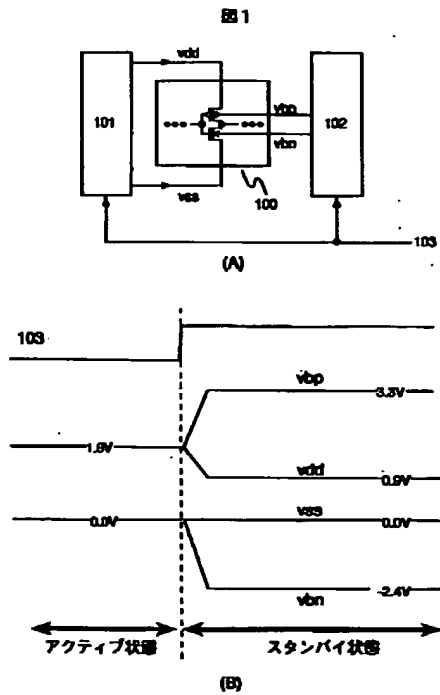
【図16】本発明のチップのテストシーケンスの実施例を示す図である。

【図17】本発明のチップ端子構造の実施例を示す図である。

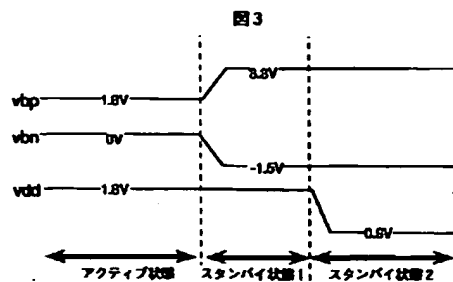
【図18】本発明のチップ電源端子構造の実施例を示す図である。

【図19】酸化膜厚の薄いMOSトランジスタのドレイン

【図1】



【図3】



34

電流(I_d)のゲート電圧(V_{gs})依存性を示す図である。

【符号の説明】

vbp……PMOS基板バイアス電位、

vbn……NMOS基板バイアス電位、

STBC1……基板バイアス制御回路、

STBC2……スタンバイ制御回路、

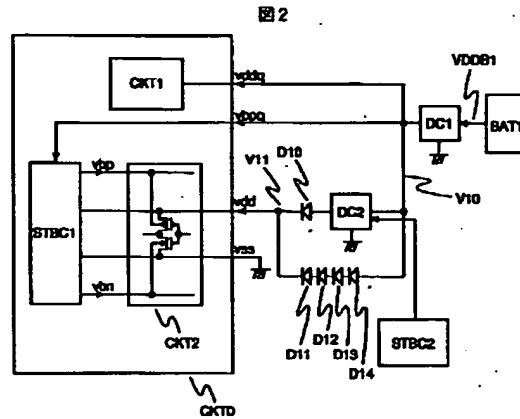
DC1、DC2……DC-DCコンバータ、

BAT1、BAT2、BAT3……電池、

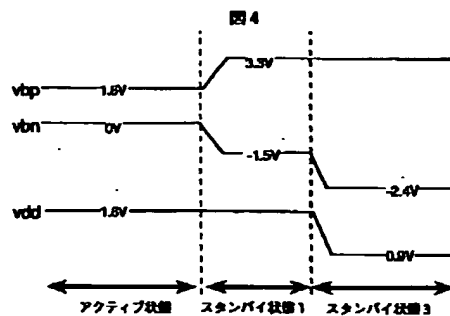
D10、D11、D12、D13、D14……ダイオード、

10 swcell、swcell1、swcell2……電源電圧制御手段。

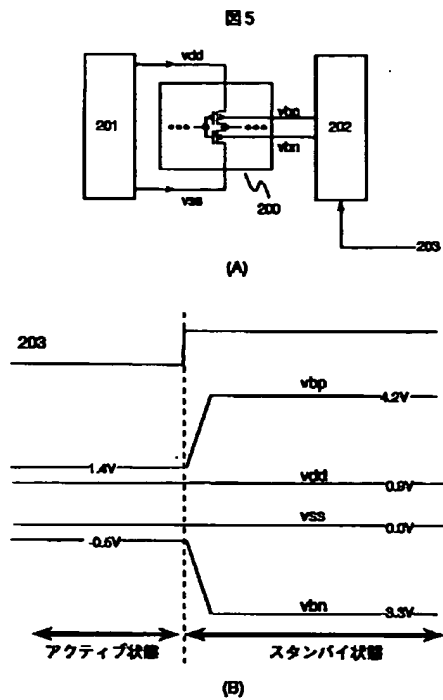
【図2】



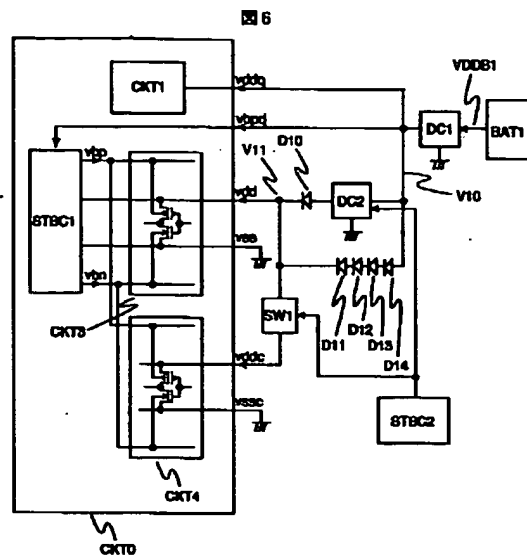
【図4】



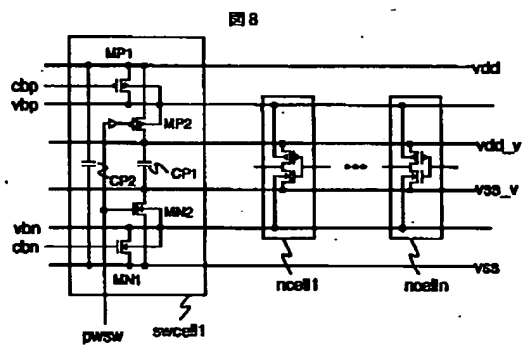
【図5】



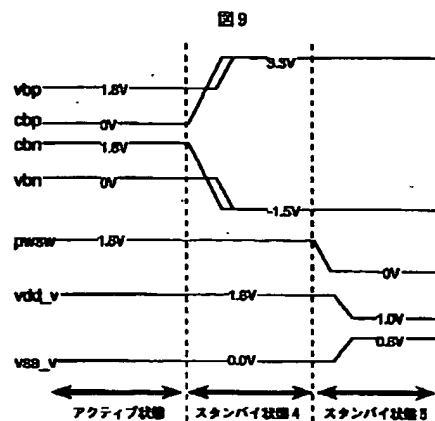
【図6】



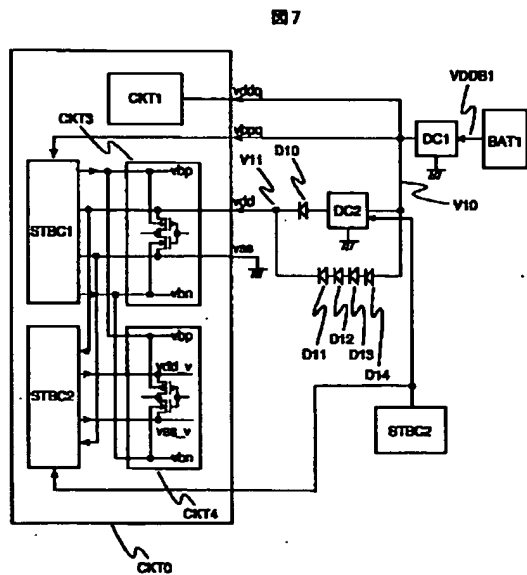
【図8】



【図9】

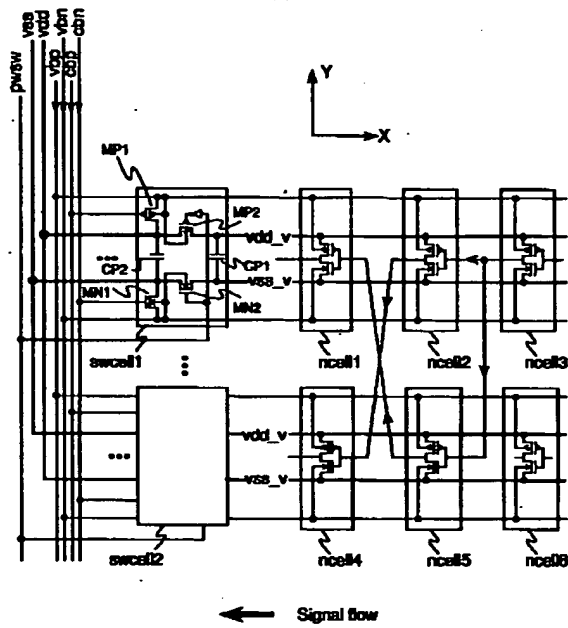


【図7】



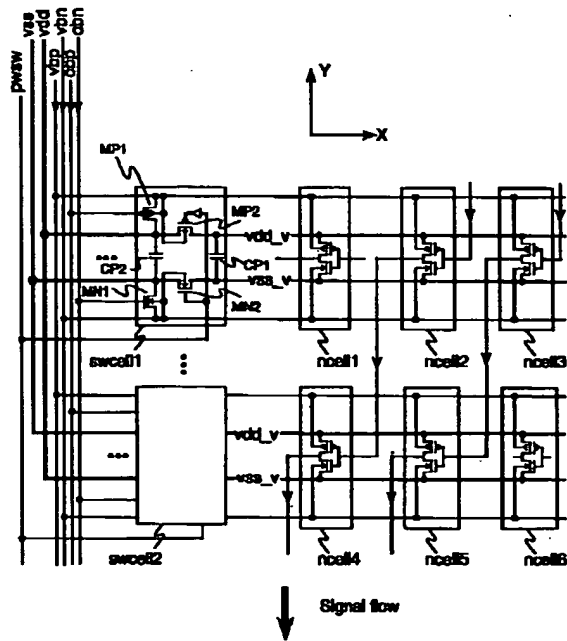
【図10】

図10



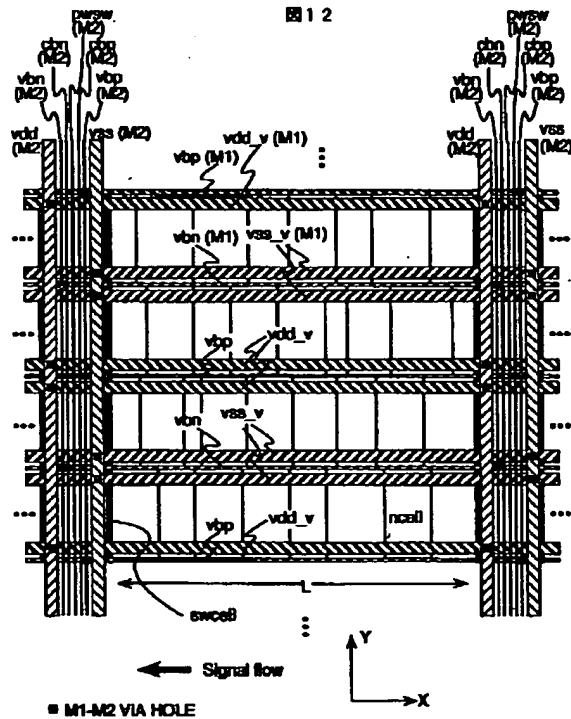
【図11】

図11



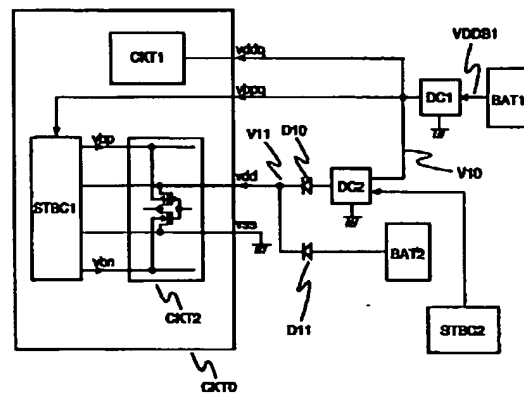
【図12】

図12



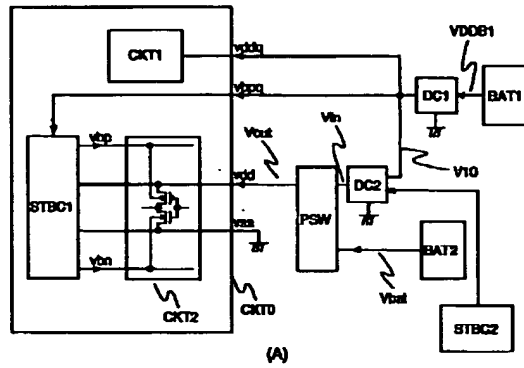
【図13】

図13

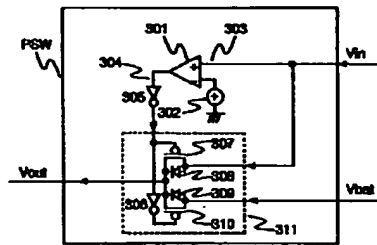


【図14】

図14



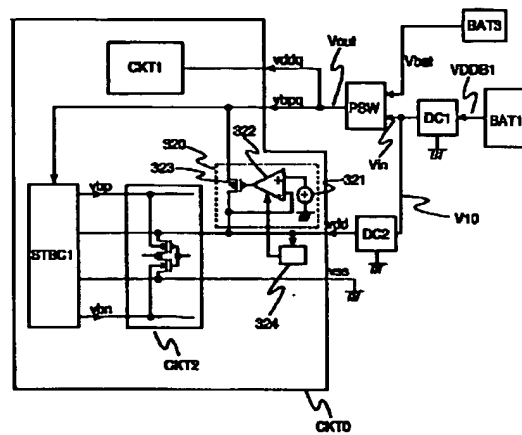
(A)



(B)

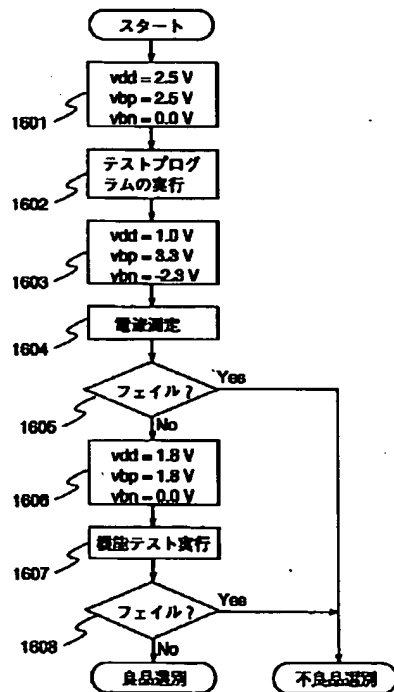
【図15】

図15



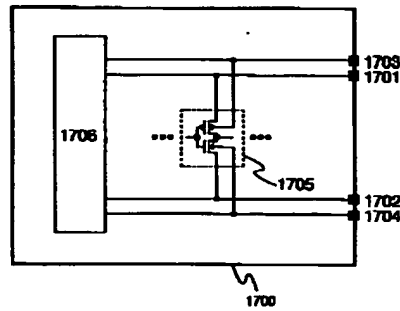
【図16】

図16



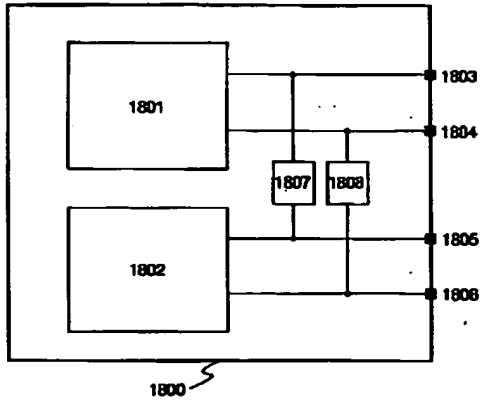
【図17】

図17



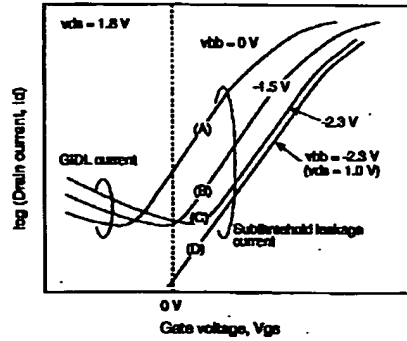
【図18】

図18



【図19】

図19



	v_{ds} (V)	v_{bb} (V)
(A)	1.8	0
(B)	1.8	-1.5
(C)	1.8	-2.3
(D)	1.0	-2.3

フロントページの続き

(51)Int. Cl.⁷
H03K 19/00

識別記号

F I

テーマコード(参考)

(72)発明者 成田 進
東京都小平市上水本町五丁目20番1号 株
式会社日立製作所半導体グループ内

Fターム(参考) 5F038 BB10 BE09 BG06 BG09 CA01
CD02 CD04 CD14 CD15 DF01
DF05 DF08 DF14 DF16 DT02
DT04 DT09 DT10 EZ20
5F048 AA00 AB01 AB03 AC03
5J056 AA00 BB40 BB49 CC00 DD13
DD29 DD55 JJ05